

Міністерство аграрної політики та продовольства України
Миколаївський національний аграрний університет
Інженерно-енергетичний факультет

Кафедра електротехнологій і електропостачання

ЕЛЕКТРОННІ ПРИСТРОЇ В СИСТЕМАХ КЕРУВАННЯ:
методичні рекомендації до виконання лабораторних робіт
для студентів напряму підготовки 6.100101 „Енергетика та електротехнічні
системи в агропромисловому комплексі ”

Миколаїв
2014

УДК 621.3.03

ББК 31.2

Е -50

Рекомендовано науково – методичною комісією інженерно – енергетичного факультету МНАУ, протокол № 3 від 27 листопада 2014 р.

Укладачі:

К. В. Дубовенко - д-р. техн. наук., доцент, завідувач кафедри електротехнологій і електропостачання Миколаївського національного аграрного університету;

Н. С. Дубовенко - асистент кафедри електротехнологій і електропостачання Миколаївського національного аграрного університету.

Рецензенти:

В. М. Рябенський - д-р. техн. наук., професор, завідувач кафедри теоретичної електротехніки та електронних систем Національного університету кораблебудування імені адмірала Макарова;

О. О. Плахтир - канд. техн. наук., доцент кафедри енергетики аграрного виробництва Миколаївського національного аграрного університету

Зміст

Вступ	4
Загальні методичні рекомендації до виконання лабораторних робіт.....	5
1. Лабораторна робота № 1. Логічні елементи цифрових систем	6
2. Лабораторна робота № 2. Реалізація логічних функцій логічними елементами	16
3. Лабораторна робота № 3. Мінімізація логічних функцій.....	21
4. Лабораторна робота № 4. Мультиплексори.....	27
5. Лабораторна робота № 5. Демюльтиплексори.....	36
6. Лабораторна робота № 6. Тригери.....	42
7. Лабораторна робота № 6. Застосування тригерів.....	49
8. Лабораторна робота № 8. Послідовнісні функціональні елементи цифрових систем керування (лічильники, регістри).....	60
Література.....	78

Вступ

Методичні рекомендації укладено відповідно до програми курсу «Електронні пристрої в системах керування», який викладається студентам, що навчаються за напрямом підготовки 6.100101 „Енергетика та електротехнічні системи в агропромисловому комплексі”.

Методична розробка згідно навчальному робочому плану дисципліни складається із загальних рекомендацій до виконання лабораторних робіт і методичних рекомендацій до вісьми лабораторних робіт, які містять стислий теоретичний опис стосовно теми кожної лабораторної роботи, методику їх виконання, вимоги до обробки результатів тестувань, комп'ютерного моделювання і оформлення звітів.

Вивчення матеріалу та застосування методичних рекомендацій під час виконання лабораторного практикуму дозволить студентам на належному рівні засвоїти принципи роботи, вибору параметрів, розробки та реалізації логічних схем цифрових систем керування енергетичним і електротехнологічним устаткуванням для ефективного застосування в практичній діяльності елементів цифрових електронних пристроїв різного призначення.

Загальні методичні рекомендації до виконання лабораторних робіт

Лабораторні роботи з дисципліни «Електронні пристрої в системах керування» виконуються в спеціалізованій лабораторії електроніки та мікропроцесорної техніки з використанням лабораторних стендів, вимірювальних приладів та широким застосуванням цифрової і комп'ютерної техніки для експериментального вивчення та моделювання характеристик пристроїв цифрових систем керування енергетичним та електротехнологічним устаткуванням.

Під час лабораторного практикуму лабораторні роботи виконуються ланковим методом. Кожна ланка формується з двох або трьох студентів на першому лабораторному занятті після проходження всіма студентами відповідного інструктажу з техніки безпеки. Досвід проведення лабораторних занять вказує на те, що ефективно засвоєння матеріалу можливе тільки за умови попереднього вивчення студентами теоретичного матеріалу лекцій і додаткової спеціальної літератури та виконання теоретичної частини лабораторної роботи, яка вміщує усвідомлення теми і мети роботи, опрацювання теоретичного матеріалу і довідкової літератури з характеристик цифрових електронних компонентів, комп'ютерного моделювання характеристик логічних елементів, комбінаційних і послідовнісних схем, функціональних пристроїв.

Студенти допускаються до виконання лабораторної роботи тільки після перевірки викладачем теоретичних знань, розуміння структурної і принципової електричної схеми пристрою та обсягу експериментальних робіт, вимог до результатів моделювання і розрахунків, оформлених як матеріали звіту

Після виконання лабораторної роботи кожен студент самостійно готує за вимогами оформлення конструкторської документації свій звіт про лабораторну роботу. Звіт повинен мати титульний аркуш і складатися з наступних розділів:

- мета роботи;
- обладнання та програмне забезпечення;
- стислі теоретичні відомості;
- схема експериментальної установки;
- аналіз результатів теоретичного вивчення (розрахунки, результати комп'ютерного моделювання);
- результати експериментальних вимірювань та їх аналіз;
- висновки.

Робота вважається виконаною тільки після захисту оформленого звіту викладачем з відповідною оцінкою в журналі успішності.

Студенти можуть бути допущеними до заліку тільки після захисту матеріалів (звітів) всіх передбачених навчальною програмою в поточному семестрі лабораторних робіт з дисципліни, виконаних особисто в лабораторії.

Лабораторна робота № 1

ЛОГІЧНІ ЕЛЕМЕНТИ ЦИФРОВИХ СИСТЕМ

Мета роботи: вивчити схемотехніку та принцип дії базових логічних елементів, що є основними елементарними пристроями найважливіших вузлів цифрових систем керування, виконати моделювання їх роботи з використанням об'єктно-орієнтованого підходу.

Обладнання і технічне забезпечення: лабораторний стенд, персональний комп'ютер, програмне забезпечення віртуальної лабораторії “Electronics Workbench”.

Стислі теоретичні відомості

Простими логічними елементами цифрових систем керування називають елементи **НИ**, **АБО**, **І**. Простими вони називаються тому, що виконують найпростіші логічні функції заперечення, додавання, множення. Використанням сукупності цих елементів виявляється можливим реалізувати будь-яку логічну функцію. Ще одним логічним елементом є елемент **ВИКЛЮЧНЕ АБО**. Цей елемент не є простим, тому що логіка його роботи реалізується логікою вищезазначених елементів. Між тим його функціональна простота у багатьох, практично, важливих випадках побудови цифрових систем керування дозволяє суттєво спростити їх логічні схеми.

Елемент НИ - двійковий логічний елемент, який реалізує операцію логічного заперечення. Ця логічна функція математично може бути виражена як $y = \bar{x}$. На рис. 1,а наведено умовне позначення елемента, прийняте на функціональних схемах (тут x – вхід, y – вихід). На рис. 1,б зображено таблицю станів логічного елемента **НИ** (таблицю істинності).

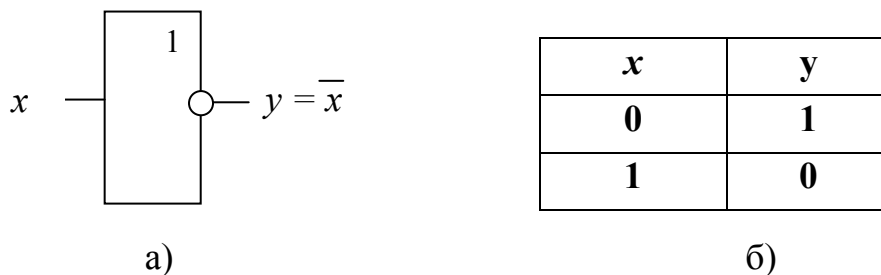


Рис. 1. Логічний елемент **НИ**: а) позначення на схемах; б) таблиця істинності.

Елемент АБО – це двійковий логічний елемент, що реалізує операцію логічного додавання. Логічний елемент АБО є схемою, логічна одиниця на виході якої реєструється тоді, коли хоча б на одному з її входів присутній сигнал логічної одиниці. Логічна функція АБО для двох входів має такий математичний вираз як $y = x_1 + x_2$. Максимальна кількість входів логічних елементів дорівнює вісьми.

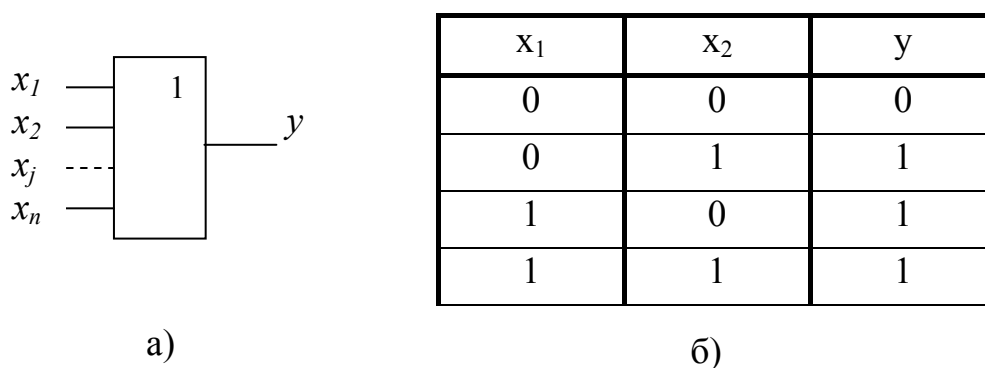


Рис. 2. Логічний елемент АБО: а) позначення на схемах; б) таблиця істинності

Елемент І – це двійковий логічний елемент, що реалізує операцію логічного множення. Логічний елемент І є схемою, логічна одиниця на виході якої реєструється тільки тоді, коли на всіх її входах присутні сигнали логічної одиниці. Логічна функція І для двох входів має такий математичний вираз як $y = x_1 \cdot x_2$.

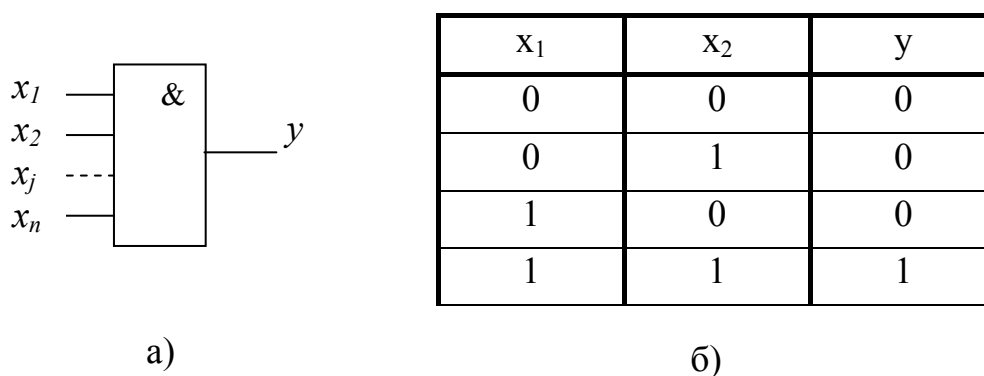


Рис. 3. Логічний елемент І: а) позначення на схемах; б) таблиця істинності.

Елемент ВИКЛЮЧНЕ АБО – це двійковий логічний елемент, що реалізує операцію логічного додавання за модулем 2. Логічний елемент ВИКЛЮЧНЕ АБО є схемою, логічна одиниця на виході якої реєструється тільки тоді, коли на її входах присутні логічні сигнали різного рівня. Логічна функція ВИКЛЮЧНЕ АБО має математичний вираз $y = x_1 + \bar{x}_2$.

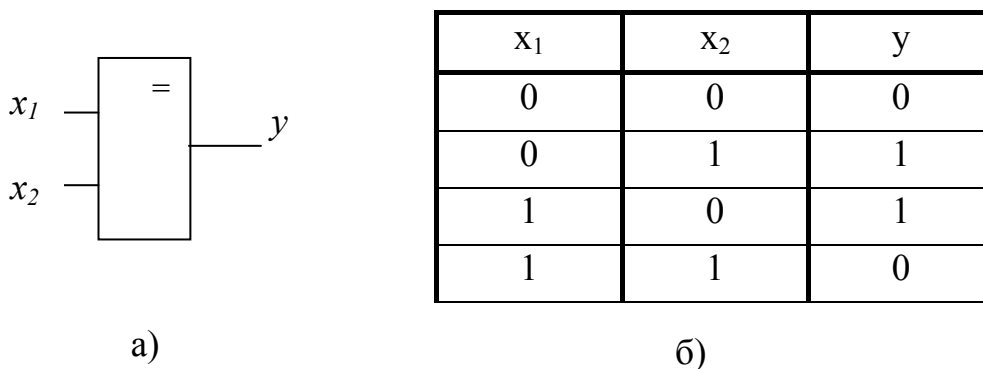


Рис. 4. Логічний елемент *ВИКЛЮЧНЕ АБО*: а) позначення на схемах; б) таблиця істинності

Базові логічні елементи. До базових логічних елементів цифрових систем керування належить елемент *I-НИ* (елемент Шеффера) і елемент *АБО-НИ* (елемент Пірса). Базовими вони називаються тому, що використанням сукупності кожного з цих елементів виявляється можливим реалізувати будь-яку логічну функцію.

Елемент *I-НИ* (елемент Шеффера) – двійковий логічний елемент, що реалізовує операцію логічного множення із запереченням. На рис. 1,а наведено умовне позначення елемента, прийняте на функціональних схемах (тут x_1, x_2, x_n – входи, y – вихід). На рис. 5,б зображено реалізацію елемента *I-НИ* логічними елементами, що відтворюють елементарні логічні функції *I* та *НИ*.

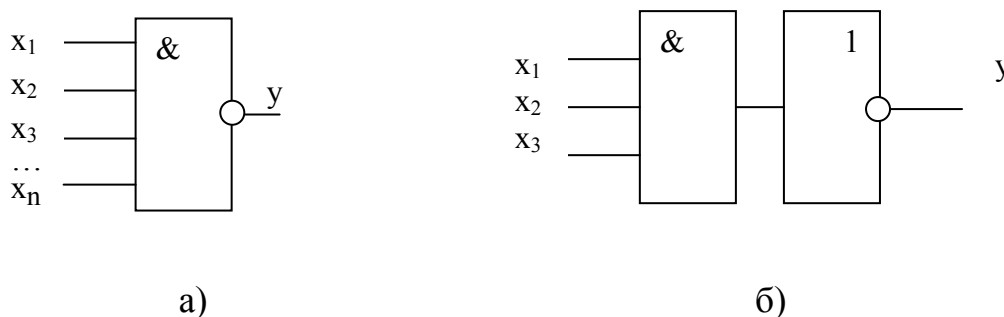


Рис. 5. Базовий логічний елемент *I-НИ*: а) позначення на схемах; б) реалізація послідовним з'єднанням елементарних логічних елементів *I* та *НИ*.

Мінімальна кількість входів дорівнює двом, максимальна – вісьми. За принципом дії логічний елемент *I-НИ* є схемою, логічний рівень «1» на виході якої встановлюється при будь-яких комбінаціях логічних рівнів цифрових сигналів на її

входах, крім випадку, коли значення логічної одиниці одночасно присутні на всіх його входах. Залежність стану виходу у елемента *I-НІ* від логічного стану трьох його входів наведена у таблиці істинності (табл. 1) і на часовій діаграмі (рис. 6,а), де U_0 , U_1 - рівні напруги, відповідні рівням логічних сигналів «0» і «1».

Таблиця 1

Таблиця істинності базового логічного елемента І-НІ

x_1	x_2	x_3	y
0	0	0	1
0	0	1	1
0	1	0	1
1	0	0	1
0	1	1	1
1	0	1	1
1	1	0	1
1	1	1	0

Логічне рівняння функціонування елемента, складене на підставі таблиці 1, записується у вигляді

$$y = \overline{x_1 \cdot x_2 \cdot x_3} \quad (1)$$

Рівняння (1) дозволяє здійснити електричну схему елемента Шеффера у вигляді, наведеному на рис. 2. Реалізація даної схеми може бути виконана різними варіантами.

На рис. 6,б наведена електрична схема елемента Шеффера резисторно-транзисторної логіки (РТЛ). Нехай напруга логічного рівня «0» дорівнює $U^0 = 0$, логічному рівню «1» відповідає значення $U^1 = U_{жс}$. Аналіз роботи схеми свідчить про те, що тільки в момент збігу рівнів напруги U^1 на входах x_1 , x_2 обидва транзистори відкриваються і на виході з'явиться рівень напруги U^0 . У решті випадків один або обидва транзистори закриті і на виході буде напруга рівня U^1 . На рис. 6, в наведена електрична схема елемента Шеффера транзисторно-транзисторної логіки (ТТЛ) на два входи $x1$, $x2$. Нехай $U^0 \leq 0,3$ В; $U^1 > 2,4$ В; $U_{жс} = 5$ В. Якщо хоч би на одному вході схеми присутня напруга низького рівня U^0 , то відповідний емітерний перехід багатомітерного транзистора (БЕТ) є відкритим, транзистори VT_1

і VT_3 - закриті, на виході схеми присутній високий рівень напруги U^1 , а транзистор VT_2 і діод VD_1 знаходяться в провідному стані.

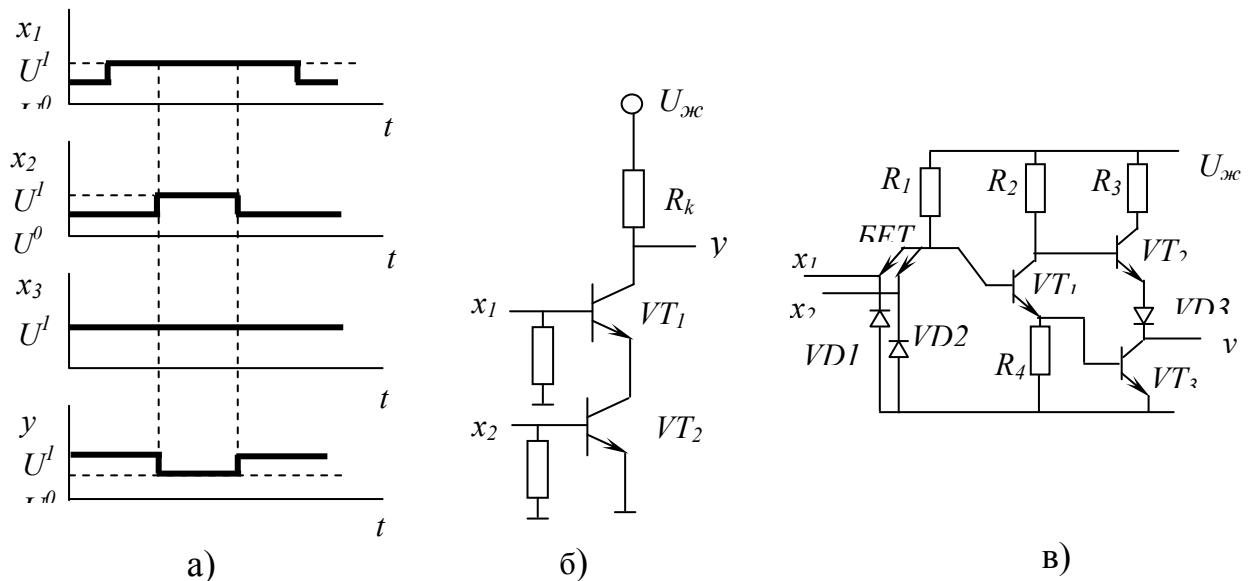


Рис. 6. Часова діаграма станів логічного елемента І-НІ (а) та його реалізація транзисторними схемами (б, в).

Якщо на входах одночасно присутній високий рівень напруги, то емітерні переходи БЕТ закриті, колекторний перехід БЕТ відкритий, транзистори VT_1 і VT_3 відкриті. При цьому на виході рівень напруги низький, а транзистор VT_2 і діод VD_1 - закриті.

Основна перевага схеми ТТЛ (рис. 6, в) полягає в її високій швидкодії, обумовленій короткочасними процесами перемикання вхідного транзистора. В процесі комутації транзистора заряд, накопичений в його базі, розряджається через вхідний транзистор, чим забезпечується активне розсіяння заряду.

Недоліками схеми ТТЛ з простим інвертором (рис. 6, в) є низька завадостійкість ($U_n \approx 0,2 \dots 0,3V$) через низьку напругу переходу у відкритий стан транзистора, що виконує інверсну функцію, а також невелика спроможність щодо навантаження ($\hat{E}_{\text{двс}} = 4 \dots 6$).

Ці недоліки відсутні в схемі ТТЛ із складним інвертором (рис. 7). Транзистори VT_2 і VT_4 можуть розглядатися як одне ціле: вони разом закриваються і разом переходять у провідний стан. Таким чином виконується керування роботою транзистора VT_3 . Така схема з'єднання транзисторів називається схемою

Дарлінгтона, а транзисторна збірка, утворена двома транзисторами, отримала назву складеного транзистора.

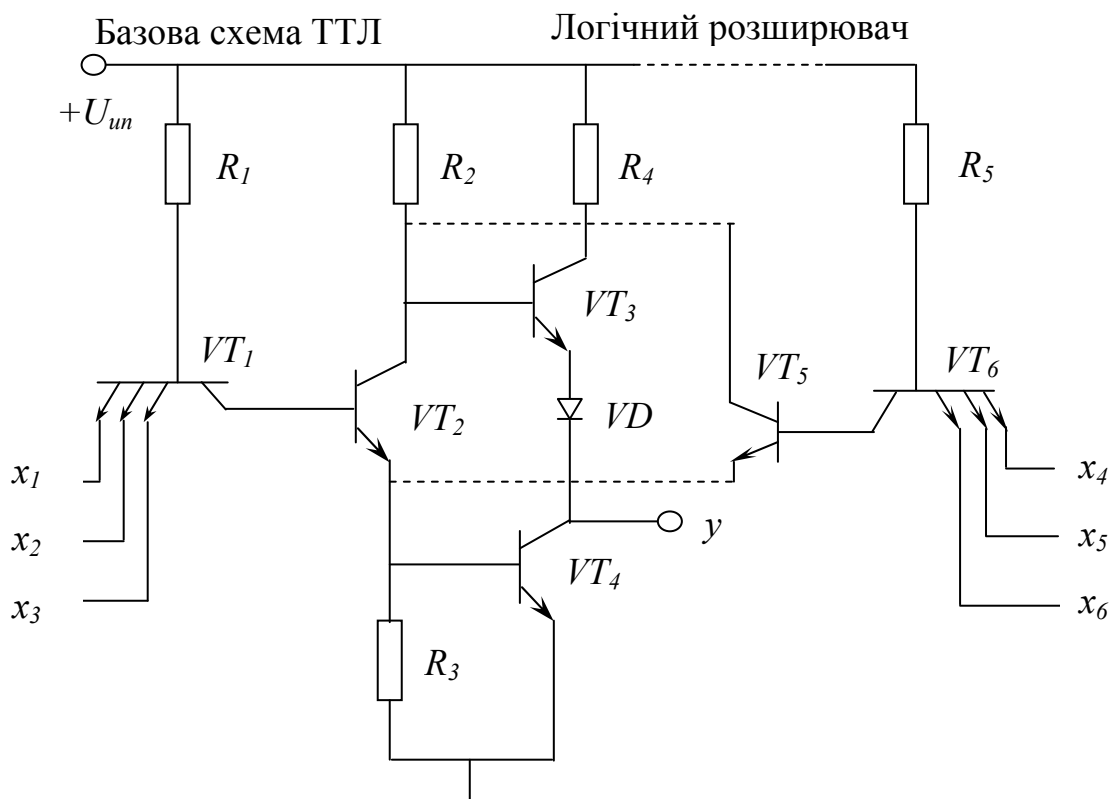


Рис. 7. Схема ТТЛ елемента $I-NI$ на основі складного інвертора

Схеми ТТЛ зі складним інвертором характеризуються підвищеними значеннями завадостійкості ($U_n = 0,7 \dots 1B$) і збільшеною здатністю навантаження. Середній час затримки сигналу нею знаходиться в межах $10 \dots 30$ нс.

Слід зазначити також, що разом із звичайними схемами ТТЛ існують схеми, в яких колекторні переходи транзисторів шунтуються діодами Шотки. Це дозволяє істотно підвищити швидкодію логічних елементів.

Елемент Шеффера має функціональну повноту і є основним логічним елементом багатьох серій мікросхем, які випускаються промисловістю. На основі елемента Шеффера, наприклад, випущено такі серії мікросхем ТТЛ, як К531, К555, КР1531, КР1533. За рахунок використання властивості функціональної повноти елемент Шеффера дозволяє реалізувати різні функції перемикачів та логічних комутаторів цифрових систем керування.

Елемент АБО-НІ (елемент Пірса) – це двійковий логічний елемент, що реалізує операцію логічного додавання із запереченням. Логічний елемент *АБО-НІ* є схемою, логічна одиниця на виході якої реєструється тільки в тому випадку, коли на всіх входах одночасно буде присутнім сигнал логічного нуля.

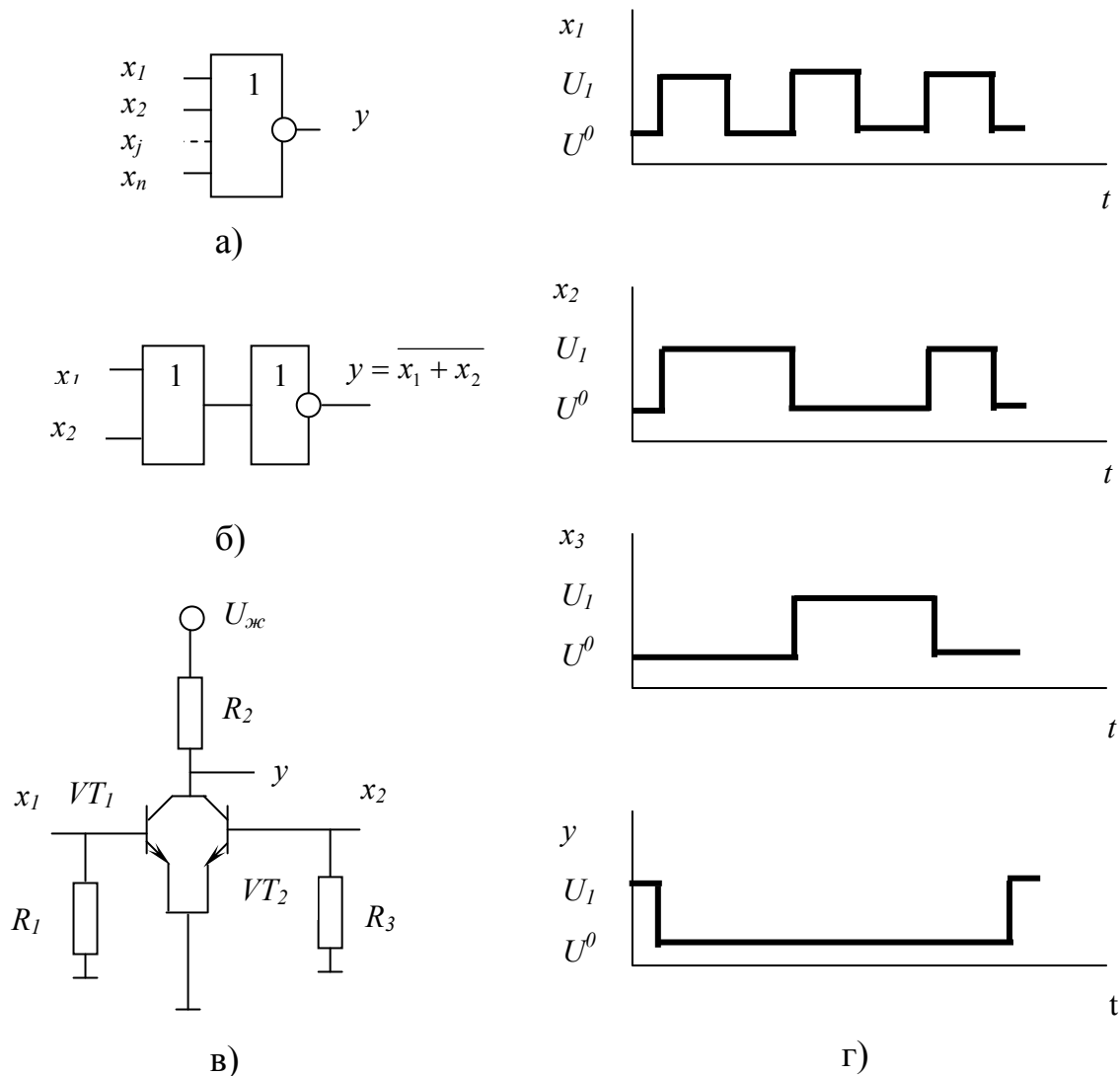


Рис. 8. Позначення (а), структурна (б) і електрична схеми (в) та (г) часова діаграма роботи елемента *АБО-НІ*

На рис. 8, а наведено умовне позначення елемента в схемах. Логіка роботи елемента Пірса з трьома входами пояснена його структурною схемою (рис. 8, б) і наведена в його таблиці логічних станів або, яку також називають таблицею істинності (табл. 2).

Таблиця істинності базового елемента АБО-НІ

x_1	x_2	x_3	y
0	0	0	1
0	0	1	0
0	1	0	0
1	0	0	0
0	1	1	0
1	0	1	0
1	1	0	0
1	1	1	0

Логічне рівняння роботи елемента у відповідності з табл. 2, має вигляд

$$y = \overline{x_1 + x_2 + x_3} . \quad (2)$$

Саме рівняння (2) дозволяє ясно зрозуміти логічну схему елемента АБО-НІ, зображену на рис. 8, в. На рис. 8, г наведена часова діаграма, що пояснює роботу елемента з трьома входами, де U^0 , U^1 – рівні напруги логічних функцій «0» і «1» відповідно. Реалізація даної схеми електронними компонентами може бути здійснена різними схемотехнічними способами.

На рис. 8, г наведена електрична схема елемента Пірса резисторно-транзисторної логіки з двома входами.

Нехай $U^0 = 0\text{В}$; $U^1 = U_{\alpha}$. Аналіз роботи схеми свідчить, що тільки за наявності рівня напруги U^0 одночасно на всіх входах обидва транзистори закриті і на виході рівень напруги дорівнює U^1 . В решті випадків обидва або один транзистор виявляються відкритими і рівень вихідної напруги дорівнює U^0 .

Розглянута вище схема логічного елемента має недолік: транзистори в цій схемі, знаходячись у відкритому стані, працюють в режимі насичення. У зв'язку з цим в областях бази і колектора накопичуються значні заряди, для розсіяння яких під час переходу транзистора в закритий стан потрібен додатковий час. Для усунення цього недоліку використовуються схеми типу ТЛПТ (перемикачі струму). Основна особливість цих схем полягає в тому, що відкриті транзистори в них не перебувають у режимі насичення. Завдяки цьому, підвищується швидкодія схеми.

Одна з простих схем подібного типу наведена на рис. 9. В початковому стані транзистори $VT_1 - VT_3$ замкнені і струм від джерела проходить через транзистор VT_4 , який відкритий опорною напругою U_{on} . Оскільки всі вхідні транзистори ($VT_1 - VT_3$) замкнені, то на базу вихідного транзистора VT_5 подається високий позитивний потенціал, що дорівнює потенціалу колектора транзисторів $VT_1 - VT_3$. Транзистор VT_5 в цьому випадку є відкритим, через резистор R_4 проходить великий струм, напруга на резисторі R_4 підвищується, що відповідає рівню логічної одиниці на виході y_2 .

Характерною особливістю схеми є вибір такого режиму роботи відкритих транзисторів VT_4 і VT_5 , який забезпечує процес надійного закриття цих транзисторів за межами режиму насичення.

Закриття хоча б одного з транзисторів $VT_1 \dots VT_3$ веде до зростання падіння напруги на резисторі R_3 і забезпечує перехід транзистора VT_4 у провідний стан, оскільки потенціал емітера цього транзистора стає вищим, ніж потенціал бази, підімкненої до низьковольтного джерела опорної напруги. У зв'язку з цим струм від джерела живлення швидко перемикається з транзистора VT_4 на транзистори $VT_1 \dots VT_3$. Падіння напруги на резисторі R_1 зростає, потенціал бази транзистора VT_5 знижується, транзистор VT_5 закривається, а величина напруги на виході y_2 (на резисторі R_4) знижується до рівня логічного нуля. Таким чином, схема дозволяє реалізувати логічну операцію *АБО-НІ*. Вихід y_1 (з колектора транзистора VT_4) - прямий. Зняттям вихідної напруги з цього виходу, можна реалізувати функцію «АБО».

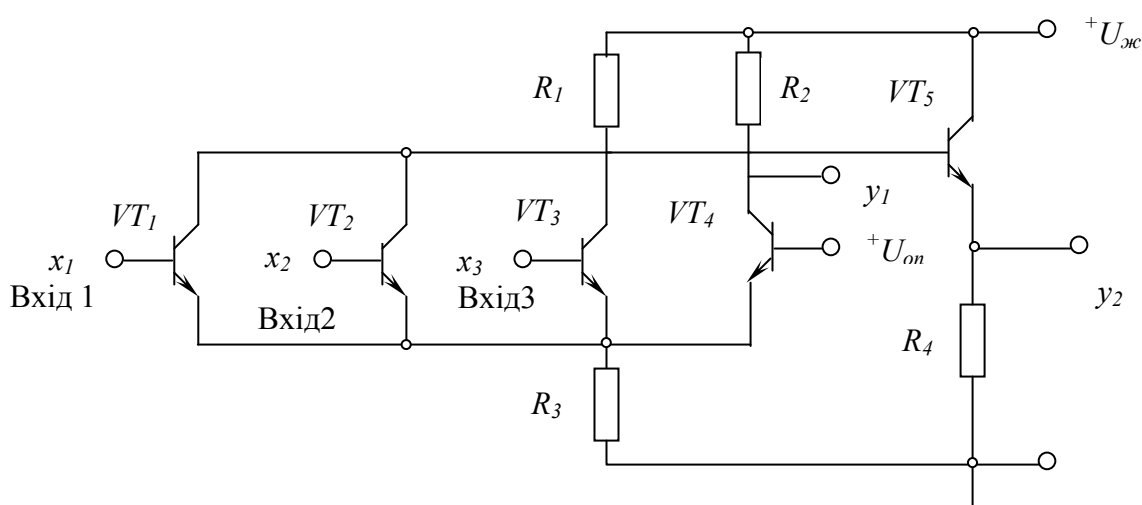


Рис. 9. Електрична схема елемента *АБО-НІ* з комутаційними характеристиками транзисторів, які знаходяться за межами режиму насичення.

Елемент Пірса, як і елемент Шеффера, характеризується функціональною повнотою і є основним логічним елементом цілої низки серій мікросхем, що випускаються промисловістю. На основі елемента *АБО-НІ* випускаються серії мікросхем емітерно-пов'язаної логіки (К500, К1500).

Порядок виконання роботи

1. Проаналізувати логічні функції простих логічних елементів НІ, АБО, І.
2. Подати живлення на експериментальний стенд і завданням відповідних таблицям істинності рівнів логічних сигналів на входах логічних елементів зареєструвати їх вихідні сигнали.
3. Проаналізувати логічні функції базових логічних елементів НІ, АБО-НІ, І- НІ. Завданням відповідних таблицям істинності базових елементів рівнів логічних сигналів на їх входах зареєструвати їх вихідні сигнали.
4. На експериментальному стенді реалізувати логічний елемент **ВИКЛЮЧНЕ АБО**. Задати на його входах логічні сигнали у відповідності з цього таблицею істинності і зареєструвати вихідні сигнали.
5. З використанням персонального компютера та програмного забезпечення Simulink виконати комп'ютерне моделювання роботи логічних елементів.
5. Зробити висновки і оформити звіт з лабораторної роботи.

Контрольні запитання до лабораторної роботи

1. Поясніть логіку роботи кожного з розглянутих логічних елементів.
2. Чому логічні елементи називають базовими?
3. Чому логічний елемент *ВИКЛЮЧНЕ АБО* не можна віднести до групи простих логічних елементів?
4. Поясніть принцип дії електронних схем логічних елементів різного типу логіки.
5. В чому полягають переваги застосування багатоемітерних транзисторів в електричних схемах багатовходових логічних елементів?

Лабораторна робота № 2

РЕАЛІЗАЦІЯ ЛОГІЧНИХ ФУНКЦІЙ ЛОГІЧНИМИ ЕЛЕМЕНТАМИ

Мета роботи: засвоїти принципи роботи комбінаційних логічних схем і навчитися розробляти логічні схеми цифрових систем керування технічних об'єктів.

Обладнання і технічне забезпечення: експериментальний стенд, персональний комп'ютер, програмне забезпечення віртуальної лабораторії Simulink .

Стислі теоретичні відомості

У дев'ятнадцятому столітті кембріджським математиком і священиком Джорджем Булем була розроблена система алгебраїчних позначень для вираження і обробки логічних рівнянь. Ця система, що отримала назву Булевої алгебри, або алгебри логіки, використовується для розробки комбінаційних логічних схем.

Функція I подається точкою «·» (або відсутністю символу, як у звичайному алгебраїчному записі математичної формули), функція АБО — символом «+», а функція заперечення зображується у вигляді риски над сигналом (оператором). Наприклад, функція схеми, наведеної на рис. 10 в системі позначень Булевої алгебри виглядає так:

$$Z = (\bar{A} \cdot B \cdot C) + (A \cdot \bar{B} \cdot \bar{C}) + D.$$

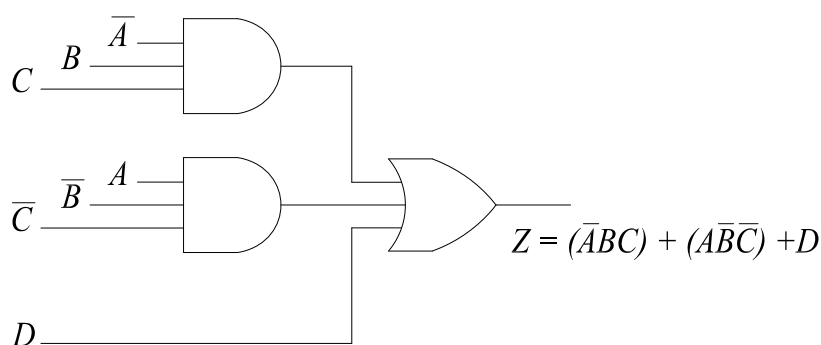


Рис. 10. Логічна схема, зображена символами, що застосовуються в програмному забезпеченні Simulink, та її логічний запис

Таким чином, апарат Булевої алгебри дозволяє записувати складні логічні вирази в простій і стислій форм.

Для виконання роботи необхідно знати основні елементарні логічні функції та елементи, що їх реалізують, а також принципи реалізації та аналізу роботи складних комбінаційних пристроїв.

Вихідними даними для реалізації комбінаційного пристрою є логічна функція, яку повинен реалізувати пристрій та набір логічних елементів, на яких він повинен бути побудований. У даній роботі необхідно побудувати комбінаційний логічний пристрій, що реалізує логічну функцію, яка має наступний загальний вигляд:

$$Y = f_1[f_2(a_1, a_2), (f_3(a_3, a_4))], \quad (2)$$

де f_1, f_2, f_3 - елементарні логічні функції (вважаємо заданими і елементи, що їх реалізують); a_1, a_2, a_3, a_4 – логічні змінні.

Варіанти вихідних даних наведені в табл. 3.

Приклад вибору варіанта для номера залікової книжки 77732:

Таблиця 3

Вихідні дані побудови комбінаційного пристрою.

Цифри номера залікової книжки		0	1	2	3	4	5	6	7	8	9
десятки	одиниці										
a_1		$\overline{x_1}$	x_1	1	x_1	x_1	x_1	$\overline{x_1}$	$\overline{x_1}$	1	x_1
a_2		$\overline{x_2}$	1	$\overline{x_1}$	x_2	1	$\overline{x_2}$	1	$\overline{x_2}$	$\overline{x_1}$	$\overline{x_2}$
a_3		$\overline{x_3}$	$\overline{x_2}$	x_2	0	$\overline{x_2}$	0	x_2	x_3	$\overline{x_2}$	0
a_4		0	$\overline{x_3}$	$\overline{x_3}$	$\overline{x_3}$	x_3	x_3	x_3	0	$\overline{x_3}$	$\overline{x_3}$
	f_1	I	АБО	I-НИ	АБО-НИ	I	АБО	I-НИ	АБО-НИ	I	АБО-НИ
	f_2	I-НИ									
	f_3	АБО-НИ									

З колонки 3 маємо: $a_1 = x_1, a_2 = x_2, a_3 = 0, a_4 = \overline{x_3}$;

З колонки 2 – $f_1=I-НИ, f_2=I-НИ, f_3=АБО-НИ$.

Отже функція, яку необхідно реалізувати, має вигляд:

$$Y = \overline{x_1 \cdot x_2 \cdot (0 + x_3)} \quad (3)$$

Приклад схемної реалізації та аналізу роботи комбінаційного пристрою.

Вихідні дані:

1) нехай $a_1 = \overline{x_1}$, $a_2 = x_2$, $a_3 = 0$, $a_4 = x_4$; $f_1 = I-NI$, $f_2 = I-NI$, $f_3 = АБО-NI$ (зверніть увагу на те, що змінна $a_3 = 0$ є константою нуля), тоді логічна функція, яку необхідно реалізувати, має вигляд:

$$y = \overline{x_1 \cdot x_2 \cdot (0 + x_3)} \quad (4)$$

2) для побудови пристрою доцільно застосовувати двовходові логічні елементи $2I$, $2АБО$, $2I-NI$, $2АБО-NI$ та інвертор NI ;

3) вважаємо, що на входи пристрою надходять лише прямі, а не інвертовані сигнали вхідних змінних, тобто x_1 , x_2 , x_3 (наприклад, тільки з прямих виходів тригерів, з яких складається регістр пам'яті, в якому зберігаються змінні.

Необхідно:

1) побудувати схему комбінаційного пристрою, що реалізує задану логічну функцію;

2) скласти таблицю істинності заданої функції;

3) побудувати часові діаграми роботи комбінаційного пристрою.

Порядок виконання роботи

Спочатку спростимо (мінімізуємо) запропоновану до реалізації функцію. Оскільки змінна $a_3 = 0$, то

$$f_3 = \overline{0 + x_3} = \overline{x_3} \quad (5)$$

В результаті маємо

$$Y = \overline{x_1 \cdot x_2 \cdot x_3} \quad (6)$$

Зрозуміло, що комбінаційний пристрій, який реалізує цю функцію, буде більш простим, ніж той, що реалізує функцію (4).

З аналізу виразу (6) видно, що для реалізації отриманої мінімізованої логічної функції необхідні наступні логічні елементи:

- 1) два інвертори для інверсії змінних $\overline{x_1}$ та $\overline{x_3}$;
- 2) два елементи 2I-III (двовходові елементи I-III) для реалізації функцій

$$f_2 = \overline{\overline{x_1} \cdot x_2} \text{ та } f_1 = \overline{\overline{f_2} \cdot f_3} \quad (7)$$

Логічна схема комбінаційного пристрою, що реалізує функцію (6), наведена на рис.11.

Таблицю істинності логічної функції (6) наведено в табл. 4

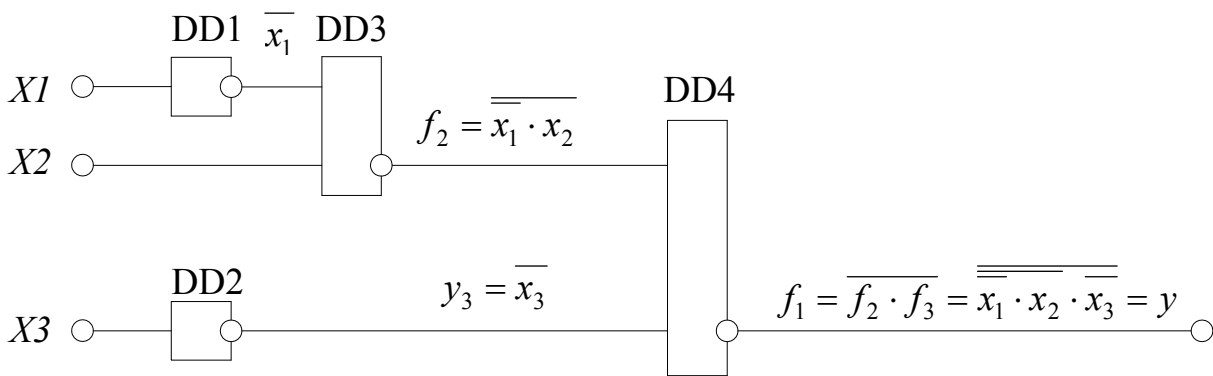


Рис.11. Логічна схема комбінаційного пристрою

З аналізу таблиці істинності видно, що логічна функція $y = \overline{\overline{x_1} \cdot x_2 \cdot x_3}$, а тобто й функція $y = \overline{\overline{\overline{x_1} \cdot x_2} \cdot x_3}$ істинна, тобто $y = 1$.

Порядок виконання роботи

1. За наданим варіантним завданням скласти логічну функцію для реалізації логічної схеми.
2. Реалізувати логічну функцію логічними елементами.

Таблиця істинності логічної функції $y = \overline{\overline{x_1 \cdot x_2 \cdot x_3}}$

Комбінація вхідних змінних	$X3$	$X2$	$X1$	$f_3 = \overline{x_3}$	$\overline{x_1}$	$f_2 = \overline{\overline{x_1 \cdot x_2}}$	$f_1 = \overline{f_2 \cdot f_3} = y$
0	0	0	0	1	1	1	0
1	0	0	1	1	0	1	0
2	0	1	0	1	1	0	1
3	0	1	1	1	0	1	0
4	1	0	0	0	1	1	1
5	1	0	1	0	0	1	1
6	1	1	0	0	1	0	1
7	1	1	1	0	0	1	1

3. За наданою логічною функцією реалізувати таблицю істинності.
4. Реалізувати логічну функцію логічними елементами.
5. Обчислити складність логічної функції
6. Зробити висновки та оформити звіт за результатами лабораторної роботи.

Контрольні запитання до лабораторної роботи

1. Як записати за таблицею істинності логічну функцію? Наведіть приклад.
2. Заповніть таблицю істинності комбінаційної логічної схеми за логічним рівнянням її функціонування.
3. В чому полягає реалізація логічної схеми за наданою логічною функцією? Наведіть приклад реалізації.
4. Як визначається складність логічної схеми?
5. З використанням таблиці істинності елемента ВИКЛЮЧНЕ АБО (рис. 4) запишіть його логічну функцію і реалізуйте логічну схему.

Лабораторна робота № 3

МІНІМІЗАЦІЯ ЛОГІЧНИХ ФУНКЦІЙ

Мета роботи: засвоїти методи і способи мінімізації функцій алгебри логіки та спрощення будови логічних пристроїв цифрових систем керування.

Обладнання і технічне забезпечення: лабораторний стенд, персональний комп'ютер, програмне забезпечення віртуальної лабораторії Simulink (Electronics Workbench).

Стислі теоретичні відомості

Алгебра логіки дозволяє не тільки записати складні вирази в простій і стислій формі, але й також містить правила обробки і знаходження мінімальної форми таких логічних виразів.

Існує ряд таких правил. Перші одинадцять з них є результатом простих вихідних логічних міркувань.

$$A \cdot A = A, \quad (8)$$

$$A + A = A, \quad (9)$$

$$A \cdot 1 = A, \quad (10)$$

$$A \cdot 0 = 0, \quad (11)$$

$$A + 1 = 1, \quad (12)$$

$$A + 0 = A, \quad (13)$$

$$\overline{\overline{A}} = A, \quad (14)$$

$$A \cdot \overline{A} = 0, \quad (15)$$

$$A + \overline{A} = 1, \quad (16)$$

$$A + \hat{A} = \hat{A} + A, \quad (17)$$

$$A \cdot \hat{A} = \hat{A} \cdot A. \quad (18)$$

Наступні два правила відносяться до операцій з дужками

$$(A + \hat{A}) + \tilde{N} = A + (\hat{A} + \tilde{N}) = A + \hat{A} + \tilde{N}, \quad (19)$$

$$(A \cdot \hat{A}) \cdot \tilde{N} = A \cdot (\hat{A} \cdot \tilde{N}) = A \cdot \hat{A} \cdot \tilde{N}. \quad (20)$$

Закони логіки (21) і (22) називаються законами поглинання

$$A + A \cdot \hat{A} = A, \quad (21)$$

$$A \cdot (A + \hat{A}) = A. \quad (22)$$

Елемент B в обох випадках не впливає на кінцевий результат.

Логічні співвідношення (23, 24), які називаються розподільними законами, дозволяють розкласти логічні вирази на множники

$$\hat{A} + \hat{A} \cdot \tilde{N} = (\hat{A} + \hat{A}) \cdot (\hat{A} + \tilde{N}), \quad (23)$$

$$\hat{A} \cdot (\hat{A} + \tilde{N}) = \hat{A} \cdot \hat{A} + \hat{A} \cdot \tilde{N}. \quad (24)$$

Рівняння (25, 26), є логічними виразами теореми де Моргана, суть яких полягає в реалізації способів перетворення добутків логічних змінних в їх суми і навпаки, а також спосіб утворення зворотнього логічного співвідношення для будь-якого заданого рівняння.

$$\overline{A \cdot B \cdot C \cdot \dots \cdot N} = \bar{A} + \bar{B} + \bar{C} + \dots + \bar{N} \quad (25)$$

$$\overline{A + B + C + \dots + N} = \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot \dots \cdot \bar{N} \quad (26)$$

Записану у такому вигляді теорему де Моргана словами можна пояснити в такий спосіб. «Щоб утворити вираз, зворотний даному, потрібно здійснити дві дії:

- 1) замінити кожен знак логічного додавання «+» на знак логічного множення «·», а кожен знак логічного множення «·» — на знак логічного додавання «+»;
- 2) зробити інверсним кожен член в початковому логічному співвідношенні».

Наприклад, щоб перетворити на зворотний вираз:

$$\vec{A} + \hat{A} \cdot \tilde{N}, \quad (27)$$

виконаємо перший крок:

$$\bar{A} \cdot (B + C), \quad (28)$$

а після виконання наступної дії отримаємо вираз (29), зворотний початковому, що можна перевірити за таблицями істинності

$$\vec{A} \cdot (\vec{A} + \tilde{N}). \quad (29)$$

Булеву алгебру застосовують також для мінімізації логічних виразів. Проте ця процедура не є логічною, а скоріше залежить від інтуїції, так само, як наприклад, процедури аналітичного розв'язку складних інтегралів. Мінімізацію співвідношень за допомогою Булевої алгебри доцільно розглянути на прикладі:

$$Z = A \cdot B \cdot C + A \cdot \bar{B} \cdot (\bar{A} \cdot \bar{C}). \quad (30)$$

Після застосування теореми де Моргана до операнда в дужках виразу (23) він прийме вигляд

$$Z = A \cdot B \cdot C + A \cdot \bar{B} \cdot (\bar{\bar{A}} + \bar{\bar{C}}), \quad (31)$$

але оскільки $\bar{\bar{A}} = A$ і $\bar{\bar{C}} = C$, то

$$\begin{aligned} Z &= A \cdot B \cdot C + A \cdot \bar{B} \cdot (A + C) = A \cdot B \cdot C + A \cdot A \cdot \bar{B} + A \cdot \bar{B} \cdot C = \\ &= A \cdot B \cdot C + A \cdot \bar{B} + A \cdot \bar{B} \cdot C. \end{aligned} \quad (32)$$

Але $A \cdot B \cdot C + A \cdot \bar{B} \cdot C = A \cdot C \cdot (B + \bar{B}) = A \cdot C$, і в результаті отримаємо мінімізовану формулу:

$$Z = A \cdot C + A \cdot \bar{B}. \quad (33)$$

Інший спосіб логічних перетворень з метою їх спрощення полягає у застосуванні карт Карно. Карты Карно — це альтернативний варіант представлення таблиці істинності у вигляді двомірної сітки. На рис. 12 зображені карти Карно для функцій з двома, трьома і чотирма змінними.

$B \backslash A$	0	1
0		X
1		

а)

$C \backslash BA$	00	01	11	10
0				
1	Y			

б)

$C \backslash BA$	00	01	11	10
00				
01				Z
11				
10				

в)

Рис. 12. Карты Карно: а) з двома змінними; б) з трьома змінними; в) з чотирма змінними.

Кожна комірка на карті Карно відповідає одному рядку таблиці істинності. Наприклад, комірка X відповідає $A = 1, B = 0$, або $A \cdot \bar{B}$; комірка Y відповідає $A = 0, B = 0, C = 1$ або $\bar{A} \cdot \bar{B} \cdot C$. Аналогічно, комірка Z відповідає $A = 0, B = 1, C = 1, D = 0$, або $\bar{A} \cdot B \cdot C \cdot \bar{D}$. Рядки і стовпці карти Карно розмічені таким чином, що при переміщенні з одного квадрата на інший в горизонтальному або вертикальному напрямі змінюється тільки один розряд числа, записаного двійковим алфавітом.

Таким чином, на карті, зображеній на рис. 2, одиниці знаходяться тільки в чотирьох комірках, відповідних таким рядкам таблиці істинності:

$$A \cdot \bar{B} \cdot C \cdot \bar{D}, A \cdot B \cdot C \cdot \bar{D}, A \cdot \bar{B} \cdot C \cdot D, A \cdot B \cdot C \cdot D. \quad (34)$$

$BA \backslash DC$	00	01	11	10
00	0	0	0	0
01	0	1	1	0
11	0	1	1	0
10	0	0	0	0

Рис. 13. Спрощення функції за допомогою карти Карно

У логічній формі це можна виразити так:

$$Z = A \cdot \bar{B} \cdot C \cdot \bar{D} + A \cdot B \cdot C \cdot \bar{D} + A \cdot \bar{B} \cdot C \cdot D + A \cdot B \cdot C \cdot D. \quad (35)$$

З іншого боку з карти видно, що зміна змінних B і D аж ніяк не впливає на результат. Тому відмічені комірки карти фактично утворюють спрощену функцію $A \cdot C$ і логічний вираз спрощується до запису

$$Z = A \cdot C. \quad (36)$$

Правила мінімізації логічних виразів за допомогою карт Карно прості.

1) Необхідно заповнити карту Карно на основі заданого логічного співвідношення або таблиці істинності.

2) Утворити групи одиниць. Утворювати групи можна лише по вертикалі і горизонталі (але не по діагоналі). Слід намагатися, щоб цих груп було якомога більше. Групи можуть частково перекриватися і поширюватися вгору і в сторони.

3) Зчитати з карти логічні операнди, що відповідають утвореним групам і записати їх у вигляді суми виразів.

Розглянемо цей спосіб на прикладі схеми мажоритарного вибору. На рис. 14, а наведена її карта Карно.

За допомогою правил, зазначених вище, можна утворити нові групи одиниць (рис. 14) і спростити вираз:

$$Z = A \cdot B + A \cdot C + B \cdot C.$$

Мінімізована схема мажоритарного вибору наведена на рис. 14, в. Мінімізація комбінаційних схем за допомогою карт Карно — це найпростіший спосіб мінімізації, оскільки найбільші можливі групи одиниць легко помітні.

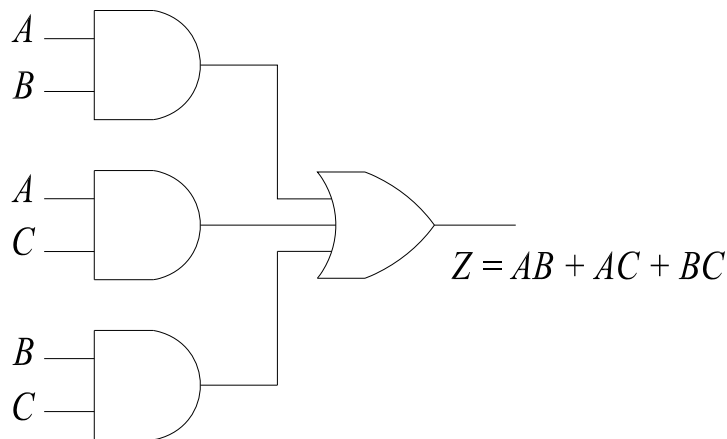
$BA \backslash C$	00	01	11	10
0	0	0	1	0
1	0	1	1	1

а)

$BA \backslash C$	00	01	11	10
0	0	0	1	0
1	0	1	1	1

AB (arrow to cell 011)
 BC (arrow to cell 111)
 AC (arrow to cell 101)

б)



в)

Рис. 14. Мажоритарний вибір з A, B, C (спрощення схеми мажоритарного вибору):

а) початкова карта Карно; б) створення нових груп; в) спрощена схема

Порядок виконання роботи

1. За наданим завданням вписати логічні функції для реалізації логічних схем.
2. За наданими логічними функціями реалізувати таблицю істинності.
3. Реалізувати логічні функції логічними елементами та обчислити складність функцій.
4. Виконати мінімізацію логічних функцій з використанням теорії алгебри логіки.
5. Виконати мінімізацію логічних функцій побудовою карти Карно.
6. Реалізувати мінімізовані логічні функції логічними елементами та обчислити їх складність.
7. Зробити висновки за результатами роботи і оформити звіт.

Контрольні запитання до лабораторної роботи

1. Назвіть основні закони алгебри логіки.
2. Запишіть логічні вирази закону переміщення і реалізуйте його логічними елементами.
3. Запишіть логічні вирази сполучного закону і реалізуйте його логічними елементами.
4. Запишіть логічні вирази розподільного закону і реалізуйте його логічними елементами.
5. Запишіть логічні вирази закону інверсії і реалізуйте його логічними елементами.
6. Мінімізуйте логічні функції картами Карно для двох, трьох і чотирьох змінних.
9. Назвіть принцип дії логічних елементів *I*, *АБО*, *НІ*, *I-НІ*, *АБО-НІ*. Складіть таблиці істинності логічних елементів.

Лабораторна робота № 4

МУЛЬТИПЛЕКСОРИ

Мета роботи: 1) засвоїти принцип дії мультиплексорів, їх логічну будову, реалізацію таблиць істинності з використанням мультиплексорів, нарощування розрядності функціональних мікросхем на прикладі мультиплексорів

2) засвоїти принципи каскадування мультиплексорів і мультиплексування шин цифрових систем керування для прийому даних про стан об'єктів електроенергетичних систем з датчиків інформації.

Обладнання і технічне забезпечення: лабораторний стенд, персональний комп'ютер, програмне забезпечення віртуальної лабораторії Simulink.

Стислі теоретичні відомості

Функціональні логічні пристрої. В процесі розробки цифрових пристроїв, часто необхідно повторювати одні й ті ж логічні функції. Щоб уникнути цього, виготовляють функціональні пристрої мікросхемного виконання, які вже реалізують ці функції. До таких функціональних пристроїв можна, зокрема, віднести:

- Мультиплексори і демультимплексори;
- Шифратори і дешифратори;
- Лічильники, регістри, суматори, компаратори та ін.

Мультиплексори

Мультиплексором називається функціональний логічний пристрій що має в загальному випадку входи даних (D), адресні входи (A) і вхід дозволу (\bar{E}). Вхід дозволу зазвичай працює в інверсній логіці. У загальному випадку мультиплексор має два інверсних виходи Y і \bar{Y} .

На рис. 15 зображено символ трьохрозрядного мультиплексора, причому розрядність мультиплексора визначається кількістю адресних ліній. В свою чергу кількість входів даних дорівнює $2^n=2^3=8$, де n – значення розрядності мультиплексора. Принцип дії мультиплексора полягає в наступному.

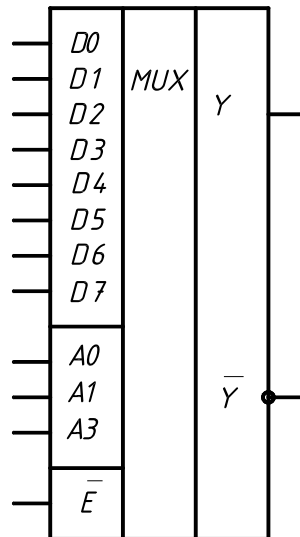


Рис. 15. Символ трьохрозрядного мультиплектора

Мультиплексор (*MUX*) стає готовим до роботи в результаті подання на його вхід дозволу \bar{E} сигналу низького рівня, тобто логічного нуля. На виході *Y* мультиплектора з'являється логічний сигнал тотожний логічному сигналу на тому з входів даних мультиплектора D_i , адреса якого присутня на адресних входах. Тому мультиплектори іноді називають перемикачами каналів або селекторами імпульсів.

Можна скласти таблицю відповідності входів даних адресним кодам (табл. 5). Вона нагадує таблицю істинності багатовходового логічного елемента

Таблиця 5

Відповідність входів даних адресним кодам

№	A_0	A_1	A_2	D
0	0	0	0	D_0
1	0	0	1	D_1
2	0	1	0	D_2
3	0	1	1	D_3
4	1	0	0	D_4
5	1	0	1	D_5
6	1	1	0	D_6
7	1	1	1	D_7

Таким чином, мультиплексором називається функціональний вузол цифрової системи, призначений для почергової комутації (перемикання) інформації від одного з n входів на загальний вихід. Номер конкретної вхідної лінії, що підмикається до виходу в кожний такт машинного часу, визначається адресним кодом A_0, A_1, \dots, A_{n-1} . Зв'язок між числом інформаційних m і адресних n входів визначається співвідношенням $m = 2^n$. Тобто, мультиплексор реалізує керовану передачу даних від кількох вхідних ліній в одну вихідну.

Виявляється, що за допомогою мультиплексорів легко реалізувати таблиці істинності. Нехай необхідно реалізувати таблицю істинності логічної функції наступного вигляду (табл. 6)

Таблиця 6

Таблиця істинності для реалізації логічної функції мультиплексором

№	A_0	A_1	A_2	D	Y
0	0	0	0	D_0	0
1	0	0	1	D_1	1
2	0	1	0	D_2	0
3	0	1	1	D_3	1
4	1	0	0	D_4	0
5	1	0	1	D_5	1
6	1	1	0	D_6	0
7	1	1	1	D_7	1

Для цього достатньо високі рівні сигналів подати від шини +5В на ті входи мультиплексора, які повинні мати рівень логічної одиниці (входи $D1, D3, D5, D7$ в зазначеній таблиці). А низькі рівні сигналів подаються від шини корпусу на входи даних $D0, D2, D4, D6$, яким згідно таблиці таким чином привласнюється низький рівень логічного сигналу.

Нарощування функціональних можливостей мікросхем. Часто необхідно за наявності мікросхем меншої розрядності реалізувати логічні функції більшої розрядності. Таке завдання відносять до однієї з проблем нарощування функціональних можливостей мікросхем. Наприклад, такою є проблема збільшення каналів інформації або розширення пам'яті цифрових пристроїв.

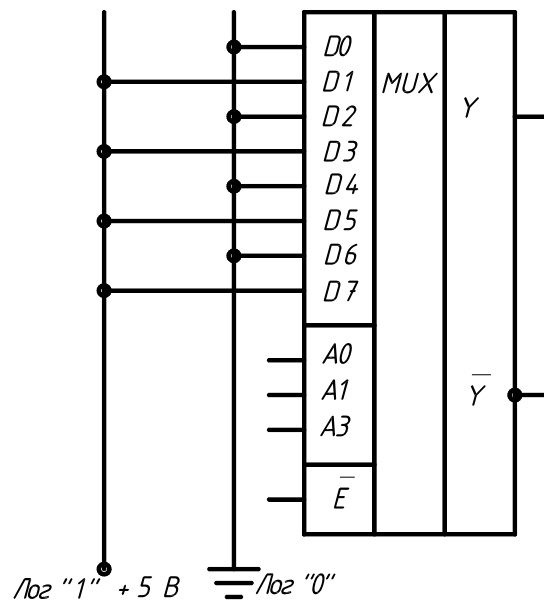


Рис. 16. Схема з'єднань реалізованої логічної функції мультиплексором

Таблиця 7

Чотирирозрядна логічна функція

№	X_1	X_2	X_3	X_4	Y
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	1
3	0	0	1	1	1
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	1
9	1	0	0	1	1
10	1	0	1	0	0
11	1	0	1	1	0
12	1	1	0	0	1
13	1	1	0	1	1
14	1	1	1	0	1
15	1	1	1	1	0

Розглянемо розв'язок цього завдання на прикладі реалізації чотирьохрозрядної логічної функції двома трьохрозрядними мультиплексорами. Для реалізації такої схеми додатково знадобляться один інвертор і один логічний елемент АБО (рис. 17).

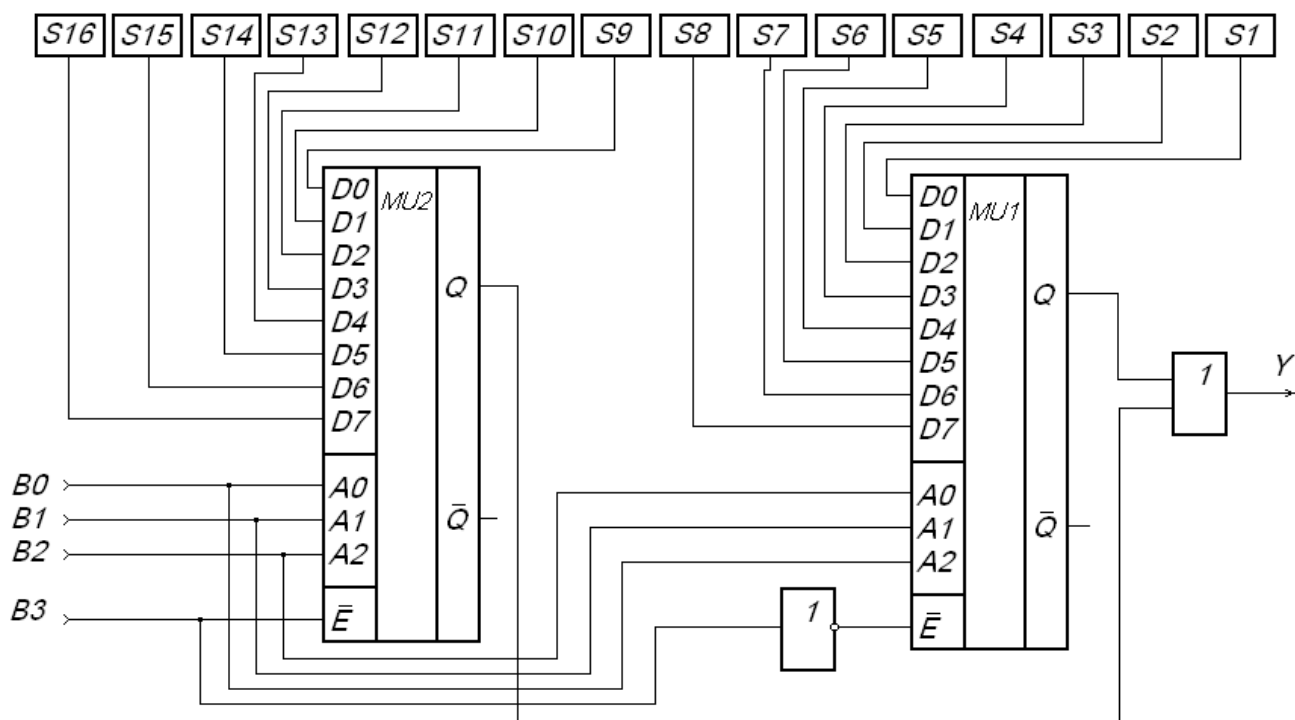


Рис. 17. Схема чотирьохрозрядного мультиплексора, створена на основі двох трьохрозрядних мультиплексорів $MU1$ і $MU2$: $S1...S16$ – сенсори, підімкнені до інформаційних входів мультиплексорів; $B0...B3$ – чотирьохрозрядний адресний код

В даному випадку трьохрозрядних мультиплексорів четвертий додатковий розряд реалізується з використанням інвертованих входів дозволу (\bar{E}). Коли на вхід дозволу подано високий рівень логічного сигналу мультиплексор $MU1$ є ввімкненим, оскільки на його вхід дозволу через інвертор надходить сигнал логічного нуля (подвійне інвертування не змінює рівень сигналу) і в результаті реалізуються перші вісім станів таблиці істинності. Одночасно мультиплексор $MU2$ вимкнений, оскільки на нього надходить сигнал логічної одиниці. Якщо на вхід \bar{E} першого мультиплексора подати низький рівень сигналу, то $MU1$ вимкнеться, а $MU2$ ввімкнеться, тому що на нього через інвертор надійде сигнал логічного нуля. В цьому випадку реалізуються наступні вісім станів таблиці істинності. Логічні стани виходів мультиплексорів Q логічно додаються елементом АБО, на виході якого формується загальна логічна функція Y .

Приклад завдання. Записати логічну функцію, яку реалізує двохрандний мультиплексор.

Розв'язок. Запишемо таблицю істинності (табл. 8)

Таблиця 8

Таблиця істинності двохрандного мультиплексора

A_0	A_1	Y
0	0	D_0
0	1	D_1
1	0	D_2
1	1	D_3

Тоді логічна функція мультиплексора виглядатиме так

$$Y = D_0 \overline{A_0} \overline{A_1} + D_1 \overline{A_0} A_1 + D_2 A_0 \overline{A_1} + D_3 A_0 A_1$$

Спрямування сигналів керування в багатоканальних цифрових системах мультиплексорами

Каскадування мультиплексорів. В інтегральному виконанні мультиплексори випускають на чотири, вісім або шістнадцять входів. Каскадування дозволяє реалізувати комутацію довільного числа входних ліній на базі серійних мікросхем мультиплексорів меншої розрядності. Приклад побудови схеми чотирьоххрандного мультиплексора на 16 входів даних на основі типових двохрандних чотиривходових мультиплексорів наведено на рис. 18.

Молодші розряди адреси A_1, A_0 підмикаються до адресних входів мультиплексорів першого рівня, на виходах яких виробляються такі функції:

$$\begin{aligned} D_0 &= F_0 X_0 \vee F_1 X_1 \vee F_2 X_2 \vee F_3 X_3; \\ D_1 &= F_0 X_4 \vee F_1 X_5 \vee F_2 X_6 \vee F_3 X_7; \\ D_2 &= F_0 X_8 \vee F_1 X_9 \vee F_2 X_{10} \vee F_3 X_{11}; \\ D_3 &= F_0 X_{12} \vee F_1 X_{13} \vee F_2 X_{14} \vee F_3 X_{15}, \end{aligned}$$

де $F_0 - F_3$ — виходи внутрішніх дешифраторів: $F_0 = \overline{A_1} \overline{A_0}$; $F_1 = \overline{A_1} A_0$; $F_2 = A_1 \overline{A_0}$; $F_3 = A_1 A_0$; $X_{15} - X_0$ — входні змінні.

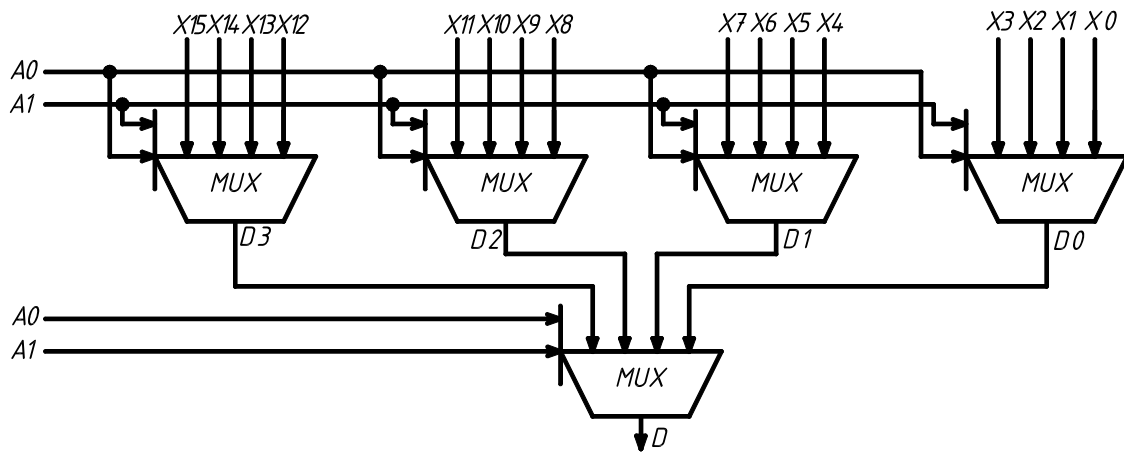


Рис. 18. Каскадування мультиплексорів

Старші розряди адреси A_3, A_2 подають на адресні входи мультиплексора другого рівня, на виході якого формується остаточна функція

$$D = F_0 D_0 \vee F_1 D_1 \vee F_2 D_2 \vee F_3 D_3,$$

де внутрішні виходи дешифратора визначаються такими мінтермами:

$$F_0 = \overline{A_1} \overline{A_0}; F_1 = \overline{A_1} A_0, F_2 = A_1 \overline{A_0}, F_3 = A_1 A_0.$$

Нехай, наприклад, значення адреси $A_3 A_2 A_1 A_0 = 1011 = 11$. В такому разі функція молодшої частини адреси приймає значення $F_3 = A_1 A_0 = 1$ і на виходах мультиплексорів першого рівня одночасно формуються сигнали $D_0 = F_3 X_1$, $D_1 = F_3 X_7$, $D_2 = F_3 X_{11}$, $D_3 = F_3 X_{15}$. Функція старшої частини адреси $F_2 = A_3 \overline{A_2} = 1$ забезпечує передачу на вихід значення сигналу D_2 , тобто

$$D = F_2 D_2 = F_2 F_3 X_{11} = A_3 \overline{A_2} A_1 A_0 X_{11}.$$

Мультиплексування шин

Мультиплексування шин — це почергове перемикання шин (груп ліній) від кількох джерел інформації до одного приймача. Такі мікрооперації реалізуються схемами на основі мультиплексорів окремих ліній. При виборі кількості й типу мультиплексорів враховують:

- кількість комутованих шин дорівнює $2n$, де n — довжина адресного коду;
- i -й номер входу всіх мультиплексорів використовується для підключення розрядів певної однієї шини.

Схема мультиплексування чотирьох $X(n), Y(n), Z(n)$ і $S(n)$ шин показана на рис. 19.

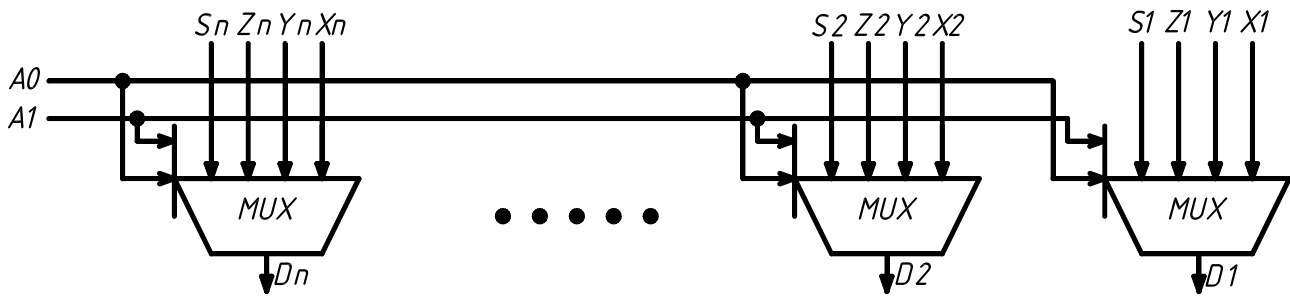


Рис. 19. Мультиплексування шин

Для її побудови потрібно k двоадресних чотиривходових мультиплексорів, де k — довільна розрядність шин, що комутуються.

Порядок виконання роботи

1. Скласти схему чотирьохрозрядного мультиплексора і за наданим завданням організувати виведення на його вихід в режимі почергового опитування даних з давачів інформації про стан енергосистеми, підімкнених до його інформаційних входів. Вказати коди адресації для кожного датчика інформації.

2. За наданим завданням реалізувати таблицю істинності цифрового пристрою з використанням мультиплексора необхідної розрядності.

3. Збільшити розрядність схеми мультиплексування на основі чотирьохрозрядних мультиплексорів.

4. Реалізувати трьохрозрядний мультиплексор логічними елементами у базисі логіки I та $АБО$.

5. З використанням програмного забезпечення віртуальної лабораторії Simulink (Electronics Workbench) виконати комп'ютерне моделювання роботи логічної схеми мультиплексора, побудованої за п. 4.

6. Побудувати структурну схему какадування мультиплексорів для отримання інформації з багатьох сенсорів на пульт керування. Кількість сенсорів задається викладачем.

7. На основі принципу мультиплексування шин побудувати схему перемикання шин (груп ліній) від кількох джерел інформації до одного приймача. Кількість шин і кількість ліній шини задається викладачем.

5. Скласти звіт за результатами виконання лабораторної роботи.

Контрольні запитання до лабораторної роботи

1. Назвіть призначення входів і виходів мультиплексора.
2. В чому полягає принцип роботи мультиплексора?
3. Яку функцію виконує інвертор в схемі підвищення розрядності мультиплексування?.
4. Які давачі інформації застосовуються для аналізу характеристик систем електропостачання?
5. Побудуйте логічну схему двохрозрядного мультиплексора і з її використанням поясніть принцип дії схеми дозволу роботи мультиплексора при поданні логічних сигналів на вхід E .
6. Розробити за допомогою трьохрозрядних мультиплексорів схему двохканального цифрового автомата.

Таблиця 9

Таблиця істинності двохканального цифрового автомата

№	A_0	A_1	A_2	D	Y_1	Y_2
0	0	0	0	D_0	0	1
1	0	0	1	D_1	1	1
2	0	1	0	D_2	0	0
3	0	1	1	D_3	1	0
4	1	0	0	D_4	0	1
5	1	0	1	D_5	1	0
6	1	1	0	D_6	0	1
7	1	1	1	D_7	1	0

7. Поясніть будову і функціонування мікросхем мультиплексорів транзисторно-транзисторної логіки (ТТЛ) К155КП1, К531КП2, К555КП12.
8. Поясніть принцип каскадування мультиплексорів.
9. Поясніть принцип мультиплексування шин.
10. В чому полягає принцип каскадування мультиплексорів? Які переваги каскадування у порівнянні зі способом нарощування розрядності?

Лабораторна робота № 5

ДЕМУЛЬТИПЛЕКСОРИ

Демультиплексором називається функціональний вузол цифрової системи керування, призначений для комутації (перемикання) сигналу з одного інформаційного входу D на один з n інформаційних виходів. Номер виходу, на який в кожний такт машинного часу передається значення вхідного сигналу, визначається адресним кодом $A_0, A_1, A_2, \dots, A_{n-1}$. Адресні входи n та інформаційні виходи m пов'язані співвідношенням $m = 2n$ або $n = \log_2 m$.

Демультиплексор виконує функцію, обернену до функції мультиплексора. Стосовно мультиплексорів і демультиплексорів користуються також терміном "селектори" даних.

В умовних графічних позначеннях (рис. 20) функція демультиплексора позначається буквами DMX .

Демультиплексори використовують для таких операцій:

- комутації як окремих ліній, так і багаторозрядних шин;
- перетворення послідовного коду в паралельний;
- реалізації логічних та інших функцій.

Демультиплексори часто позначають: " $1 \rightarrow n$ ".

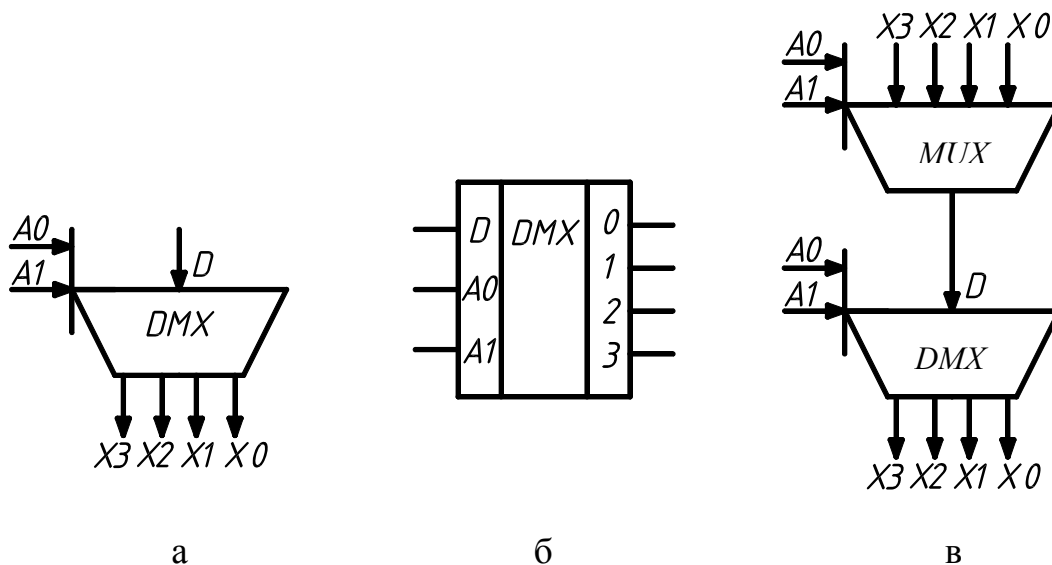


Рис. 20. Умовні графічні позначення демультиплексорів: а – на функціональних схемах; б – на принципових схемах; в – типове з'єднання з мультиплексором

Логіка роботи двоадресного демультимплексора на мові мікрооперацій наведена в табл. 10, де D – інформаційний вихід; F_0, F_1, F_2, F_3 — виходи внутрішнього дешифратора адреси.

Таблиця 10

A_1	A_0	F_0	F_1	F_2	F_3	X_0	X_1	X_2	X_3
0	0	1	0	0	0	F_0D	—	—	—
0	1	0	1	0	0	—	F_1D	—	—
1	0	0	0	1	0	—	—	F_2D	—
1	1	0	0	0	1	—	—	—	F_3D

За даними табл. 10 запишемо систему рівнянь для інформаційних виходів:

$$X_0 = F_0D = \bar{A}_1\bar{A}_0D; X_1 = F_1D = \bar{A}_1A_0D;$$

$$X_2 = F_2D = A_1\bar{A}_0D; X_3 = F_3D = A_1A_0D;$$

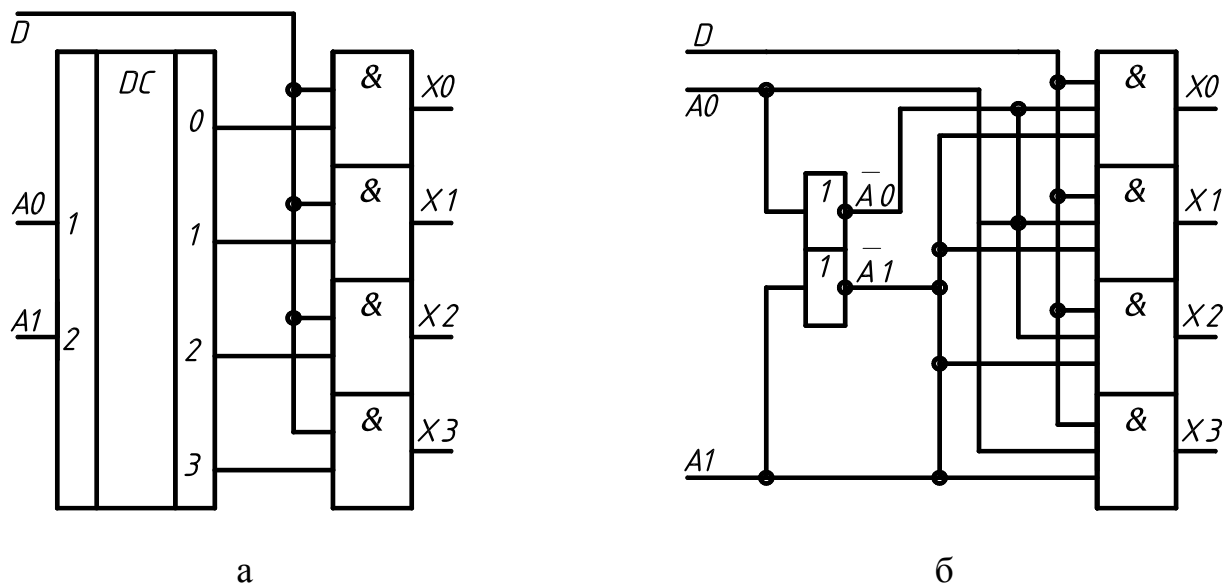


Рис. 21. Схема демультимплексорів: а – з внутрішнім дешифратором; б – з поєднаннями адресних і вхідних змінних

На основі рівнянь, записаних вище побудовані схеми демультимплексорів із внутрішнім дешифратором (рис. 21, а) і з поєднанням адресних і вхідних змінних на тривходових елементах І (рис. 21, б)

Схема демультимплексора з поєднанням адресних і вхідних змінних забезпечує високу швидкодію, проте вимагає застосування логічних елементів з більшою кількістю входів.

Каскадування демультимплексорів

Каскадування дозволяє реалізувати комутацію одного вхідного сигналу на довільне число вихідних ліній на базі серійних мікросхем меншої розрядності. Нехай потрібно реалізувати демультимплексування вхідного сигналу на m вихідних ліній, що визначаються трирозрядним адресним кодом на базі типових мікросхем меншої розмірності виду "1 \rightarrow m ".

Для цього потрібно використати $L = m/m_1$, типових демультимплексорів з числом адресних входів $n_1 = \log_2 m_1$ кожен. Число старших адресних розрядів, що дорівнює різниці $n - n_1$, використовується додатковим "провідним" демультимплексором, який розташовується на першому рівні схеми каскадування. Провідний демультимплексор визначає почергове ввімкнення одного з L демультимплексорів мікросхем другого рівня. Каскадування демультимплексорів виду "1 \rightarrow 4" для реалізації комутатора "1 \rightarrow 16" показано на рис. 22.

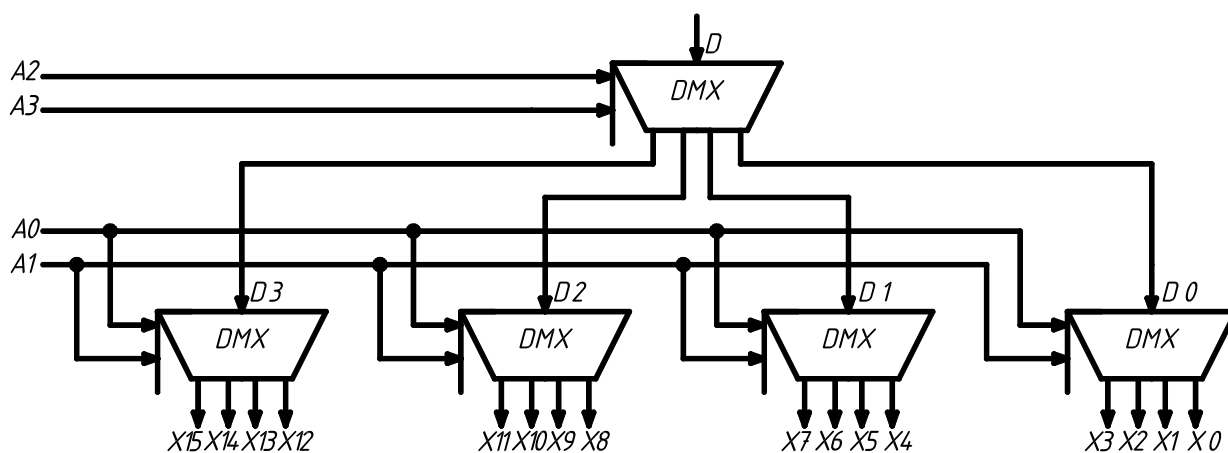


Рис. 22. Каскадування демультимплексорів

Нехай для схеми (рис. 22) адресний код $A_3A_2A_1A_0 = 1010$ і значення вхідного сигналу $D = 1$. Тоді на виході провідного демультиплектора $D_2 - A_3\overline{A_2}D = 7$, а на інших виходах встановлюються нульові значення. Одиначне значення сигналу D_2 передається на вихід X_{10} керованого демультиплектора згідно зі співвідношенням:

$$X_{10} = A_1\overline{A_0}D_2 = A_3\overline{A_2}A_1\overline{A_0}D.$$

Демультиплектори не випускають як самостійні вироби на інтегральних мікросхемах. Функцію демультиплектора звичайно реалізують на дешифраторах, що мають входи стробування (дешифратори-демультиплектори).

Демультиплексування шин

Поняття „демультиплексування шин” можна пояснити як почергове перемикання груп ліній від одного джерела інформації до багатьох приймачів. Такі мікрооперації реалізуються звичайно на основі демультиплекторів поодиноких ліній. При виборі кількості і типу демультиплекторів враховують:

- кількість шин, які комутуються, дорівнює $2n$, де n — довжина адресного коду;
- кількість демультиплекторів, які використовуються, визначається розрядністю m шин, які демультиплексуються;
- адресні входи всіх демультиплекторів паралельно об'єднуються.

Схема демультиплектора вхідної шини $D(m)$ на чотири вихідні шини $X(m)$, $Y(m)$, $Z(m)$ і $S(m)$ наведено на на рис. 23.

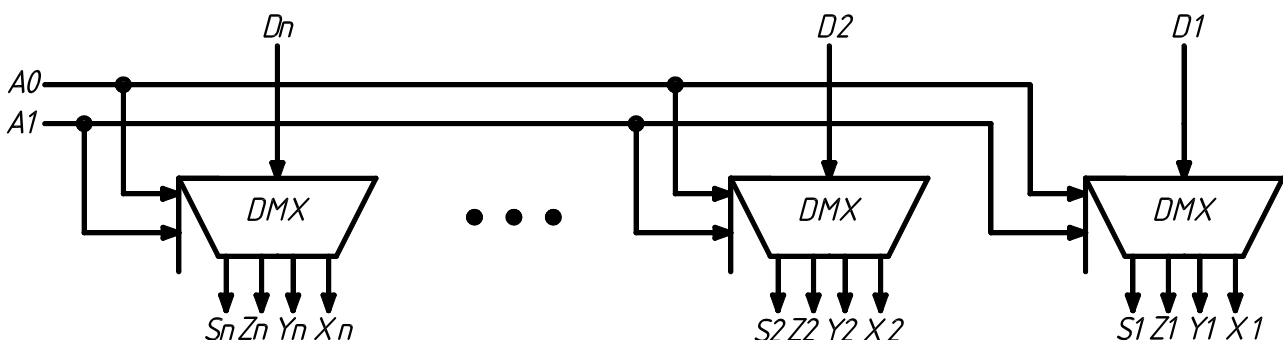


Рис. 23. Демультиплексування шин

Слід зазначити, що спільне застосування схем мультиплексування і демультиплексування шин дозволяє спрямувати сигнал з будь-якого вхідного каналу на будь-який вихідний канал (рис. 24).

Порядок виконання роботи

На основі принципу каскадування мультиплексорів розробити схему отримання інформації про технічний стан об'єктів електроенергетичної системи з 64 датчиків з використанням трьохрозрядних мультиплексорів. За наданим варіантом вказати коди адресації для заданих датчиків інформації.

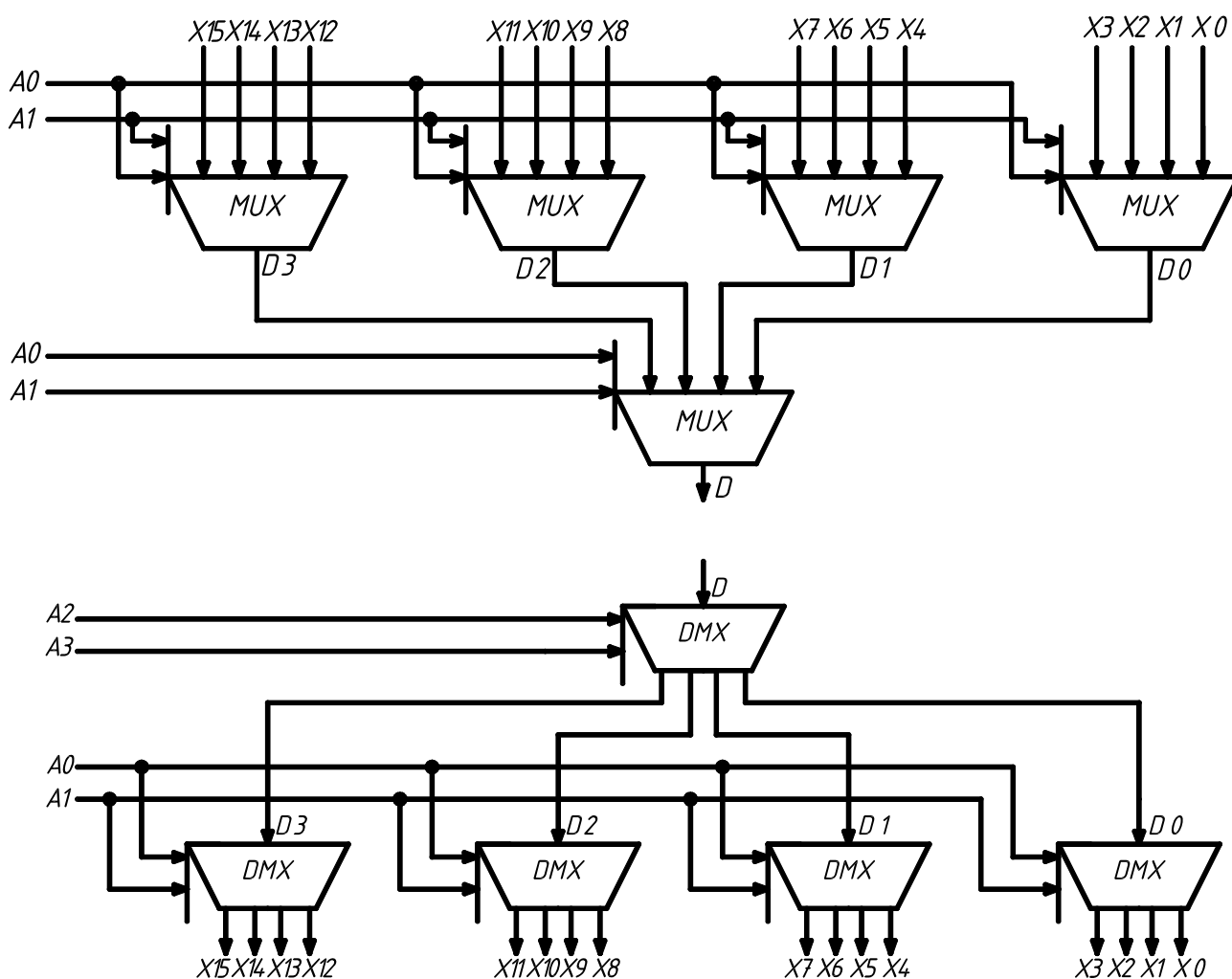


Рис. 24. Спрямування інформаційних сигналів з будь-якого інформаційного входу на будь-який інформаційний вихід

2. На основі принципу мультиплексування шин розробити схему передачі восьмирозрядного інформаційного сигналу паралельним кодом на вхід логічного блоку цифрової системи керування з шести шин даних.

3. На основі принципу каскадування трьохрозрядних демультіплексорів розробити схему спрямування сигналів з логічного блоку цифрової системи керування на 64 об'єкта електроенергетичної системи. За наданим варіантом вказати коди адресації заданих об'єктів.

4. На основі принципу демультіплексування шин розробити схему передачі восьмирозрядного сигналу керування з виходу логічного блоку цифрової системи керування на сім шин даних об'єктів електроенергетичної системи. Визначити адресний код для передачі восьмирозрядного сигналу керування через шину заданого об'єкта.

5. З використанням програмного забезпечення віртуальної лабораторії Simulink виконати комп'ютерне моделювання роботи схем згідно пунктам 1...4.

6. Скласти звіт за результатами виконання лабораторної роботи.

Контрольні запитання до лабораторної роботи

1. В чому полягає принцип каскадування мультиплексорів? Які переваги каскадування у порівнянні зі способом нарощування розрядності?

2. В чому полягає принцип роботи демультіплексора?

3. Побудуйте логічну схему демультіплексора. Назвіть область застосування цього функціонального пристрою.

4. Мультиплексування шин належить до способів паралельної чи послідовної передачі даних?

5. В чому полягає принцип каскадування демультіплексорів? Скільки необхідно двохрозрядних демультіплексорів для каскадування 32 каналів керування цифрової системи?

6. Демультіплексування шин належить до способів послідовної чи паралельної передачі даних?

Лабораторна робота №6

ТРИГЕРИ

Мета роботи: теоретично і експериментально вивчити устрій і принцип дії RS , D , T , JK -тригерів. Виконати моделювання їх роботи.

Обладнання і технічне забезпечення: лабораторний стенд для вивчення роботи тригерів, блок живлення, мультиметр і комутаційні елементи.

Стислі теоретичні відомості

Тригером називають пристрій, здатний формувати два стійкі значення вихідного сигналу і стрибкоподібно змінювати ці значення під дією зовнішнього сигналу керування. До основних типів тригерів відносять:

- тригер з роздільною установкою станів (RS -тригер)
- тригер "клямка" (D -тригер)
- універсальний тригер (JK -тригер)
- тригер з рахунковим входом (T -тригер).

За способом запису інформації тригери діляться на асинхронні і синхронні, а за способом керування - на тригери із статичним керуванням (одиничним або рідше нульовим логічним рівнем тактового сигналу) і тригери з динамічним керуванням (позитивним – зі зміною логічного сигналу з нуля на одиницю, або негативним - зі зміною логічного сигналу з одиниці на нуль). В останньому випадку кажуть про тригери з прямим або інверсним динамічним входом керування.

Асинхронний RS -тригер

Асинхронний тригер має два входи $S(et)$ - установка і $R(eset)$ - скидання і два виходи прямий - Q і інверсний - \bar{Q} . Тригер переходить з поточного стану X на виході до стану 0 , при подачі на вхід S нуля і на вхід R одиниці, а під час подання на вхід S одиниці і на вхід R нуля тригер переходить до стану 1 . При нульових значеннях, коли $S = R = 0$ тригер повинен зберігати старе значення. Комбінація сигналів $S = R = 1$ не визначена. Відповідно до опису складемо таблицю станів тригера.

Таблиця станів асинхронного RS -тригера

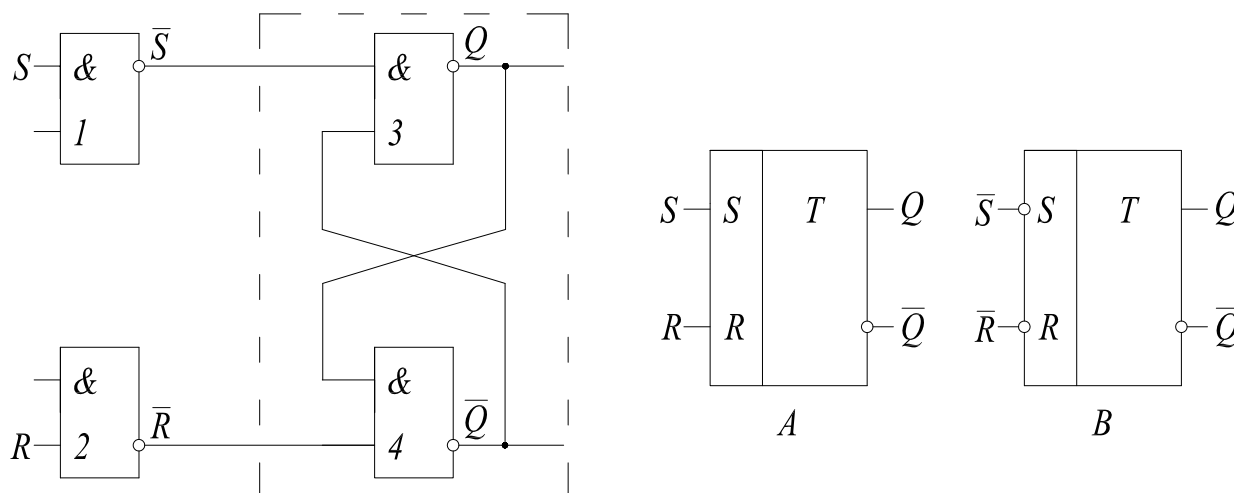
Теперішній стан			Останній стан		Назва режиму
S	R	Q_t	$Q(t+dt)$	$\bar{Q}(t+dt)$	
0	0	Q	Q	\bar{Q}	Зберігання інформації (пам'ять)
1	0	X	1	0	Встановлення в «1» (встановлення)
0	1	X	0	1	Встановлення в «0» (скидання, очищення)
1	1	X	d	d	Невизначений стан

Q і X - можуть набувати будь-яких значень, але Q в межах одного рядка, незмінно. Значення d будуть довизначені на етапі мінімізації. Вхідних змінних три - S, R і поточний стан виходу Q_t , тому всього має бути вісім станів при різних значеннях Q і X . Подальший стан виходів відокремлений від поточного часом затримки сигналу dt . Таблиця Карно функції $Q(t+dt)$ з урахуванням всіх можливих станів приведена нижче.

$S \backslash RQ_t$	00	01	11	10
0	0	1	0	0
1	1	1	d	d

Рис. 25. Карта Карно асинхронного RS -тригера

Схема тригера і його умовні позначення представлені на рис. 26.

Рис. 26. Схема асинхронного RS -тригера і його умовні позначення

Умовне позначення B відповідає частині рисунка, обведеної штрих-пунктирною лінією, тобто RS -тригеру з інверсними входами, а позначення A – всьому рисунку або RS -тригеру з прямими входами.

Якщо на тригер з прямими входами подати сигнали $R = S = 1$ або на входи інверсного тригера – нулі, то обидва виходи Q і \bar{Q} будуть встановлені на рівень логічної одиниці, що заперечує аксіомі $Q \cdot \bar{Q} = 0$. Тому такий режим інколи називають забороненим. Проте ніщо не заважає розробникові використовувати його, наприклад, для сигналізації про одночасне і небажане надходження одиничних сигналів на RS входи введенням додаткової схеми I.

D -тригер із статичним керуванням

D -тригер має два входи: інформаційний вхід $D(ata)$ і вхід керування записом (завантаженням в пам'ять) /запам'ятовуванням (замиканням) $L(oad)/L(atch)$ – звідси його інша назва – "клямка". Останній вхід часто позначають символом $C(lock)$. В наступний момент часу $t + \Delta t$ вихідний логічний сигнал Q приймає значення, яке дорівнює вхідному D для $L = 1$ в момент t і зберігає попереднє значення $Q(t+dt) = Q_t$, якщо $L = 0$. Таблиця станів тригера має вигляд, наведений в табл. 12.

Таблиця 12

Стани D -тригера

Теперішній стан			Наступний стан		Назва режиму
L	D	Q_t	$Q(t+dt)$	$\bar{Q}(t+dt)$	
0	X	Q	Q	\bar{Q}	Збереження інформації (режим пам'яті)
1	0	X	0	1	Встановлення в «0» (очищення)
1	1	X	1	0	Встановлення в «1»

В табл. 12 літерою X позначається довільний рівень логічного сигналу (нуль або одиниця), значення Q в межах одного рядка залишаються незмінними. Таблиця Карно наведена нижче (рис. 27).

DQt	$Q(t+dt)$			
	00	01	11	10
0	0	1	1	0
1	0	0	1	1

Рис. 27. Карта Карно асинхронного D -тригера

На рис. 28 наведена схема такого тригера, доповнена асинхронними інверсними входами встановлення та очищення \bar{S} і \bar{R} (ці два перехресні зв'язки показано подвійними лініями).

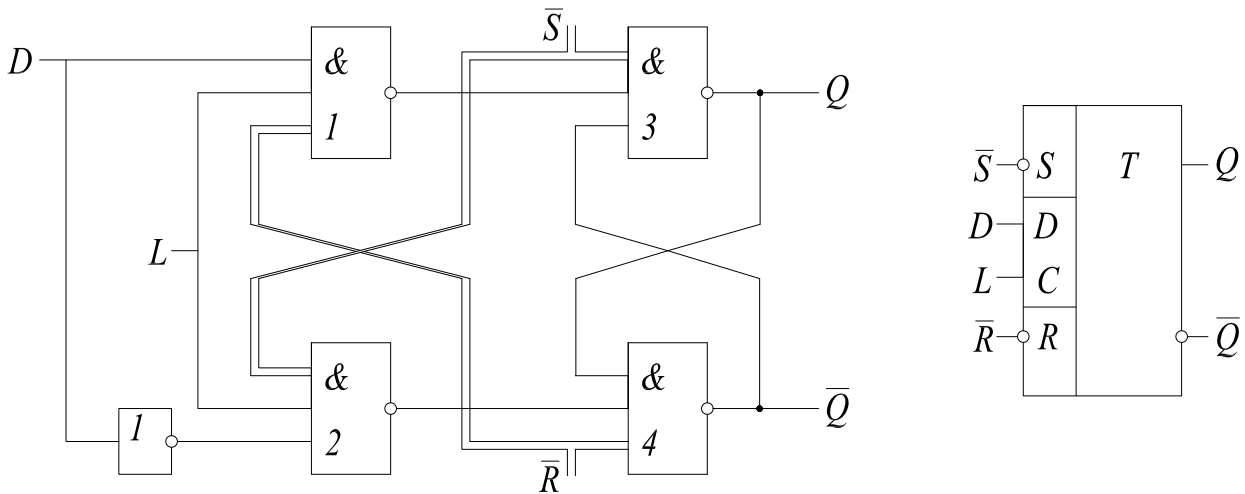


Рис. 28. Схема D -тригера та його умовне позначення

Якщо на вхід \bar{S} подати активний сигнал 0 , а на вхід \bar{R} – логічну одиницю, то $Q = 1$ незалежно від значень сигналів на останніх входах елементу 3 (рис. 28). На виході другого елементу з тієї ж причини теж реєструється сигнал логічної одиниці. Три одиниці, присутні на входах елементу 4, дають на його виході логічний нуль, який потрапляючи на вхід третього елементу підтверджує його стан. Триггер встановлюється в одиницю. Причому сигнали D і L не впливають на цей процес. Через це асинхронні входи (\bar{S} і \bar{R}) мають найвищий пріоритет. Внаслідок симетричності асинхронних зв'язків аналогічно протікає процес для $\bar{S} = 1$ і $\bar{R} = 0$, але триггер в цьому разі очищується ($Q = 0$). Умовне позначення тригера зображено на рис. 29.

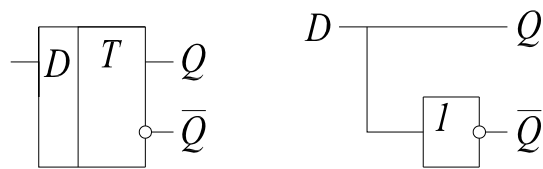


Рис. 29. Умовне позначення D -тригера

Тому асинхронні D -тригери технічно не реалізуються і визначення "синхронний" по відношенню до D -тригера є надлишковим.

Універсальний JK -тригер

JK -тригер має два інформаційні входи J і K , тактовий динамічний вхід, частіше інверсний, і два асинхронні входи встановлення рівня сигналу та очищення. Його стани наведено в табл. 13.

Таблиця 13

Стани асинхронного JK -тригера

Теперішній стан					Наступний стан		Назва режиму	
\bar{S}	\bar{R}	C	J	K	Qt	$Q(t+dt)$		$\bar{Q}(t+dt)$
1	1	$0, 1 \text{ } \lrcorner$	X	X	Q	Q	\bar{Q}	Зберігання інформації
		\lrcorner	0	0	Q	Q	\bar{Q}	Зберігання інформації
		\lrcorner	1	0	X	1	0	Встановлення в «1»
		\lrcorner	0	1	X	0	1	Встановлення в «0» (очищення)
		\lrcorner	1	1	Q	\bar{Q}	Q	Рахунок за модулем 2 (ділення частоти вхідного імпульса на 2)
0	1	X	X	X	X	1	0	Встановлення в «1»
1	0	X	X	X	X	0	1	Встановлення в «0»
0	0	X	X	X	X	1	1	Невизначений стан

В процесі функціонування тригера вихід Q набуває будь-яких значень, але Q в межах одного рядка залишається незмінним. Запис інформації для пасивних рівнів сигналів очищення (\bar{R}) і встановлення (\bar{S}) здійснюється тільки в моменти переходу сигналу C з логічної одиниці в логічний нуль, за винятком тригера типу ТВ15, який перемикається позитивним фронтом, тобто JK -тригери є непрозорими. Умовні позначення JK -тригера з інверсним динамічним входом наведено на рис. 30. Похила

риска зі схилом праворуч (рис. 30, а, або стрілка повернена назовні рис. 30, б) свідчать про перемикання тригера негативним фронтом (зі зміною логічного сигналу на тактовому вході C з одиниці в нуль).

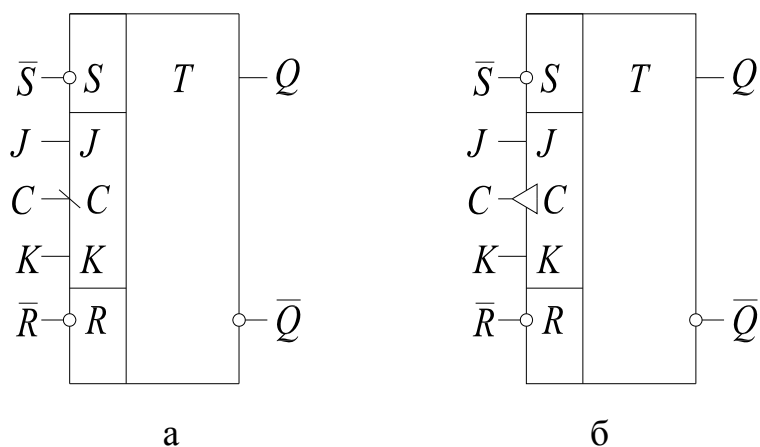


Рис. 30. Умовні позначення JK -тригера

Другий, третій і четвертий рядки таблиці станів ідентичні відповідним рядкам RS -тригера, якщо вхід J уподібнити входу S , а вхід K – входу R . Особливість полягає в тому, що комбінація $J=K=1$ визначена і тригер в цьому режимі набуває дуже корисної властивості. Так, в момент надходження кожного негативного фронту на вхід C , значення сигналу на виході змінюється.

T -тригер

Аналіз часової діаграми для $J = K = 1$ дозволяє зробити два важливі висновки. По-перше, період повторення вихідних імпульсів збільшився в два рази, що означає ділення тригером в цьому режимі частоти вхідних імпульсів на два. По-друге, з надходженням парного імпульсу вихідний логічний сигнал дорівнює нулю, а з появою непарного – дорівнює одиниці, тобто тригер є лічильником за модулем два. Тригер з рахунковим входом або T -тригер промисловістю окремо не випускається, а реалізується за допомогою динамічного D -, або JK -тригерів. Умовне позначення T -тригера зображено на рис. 31.

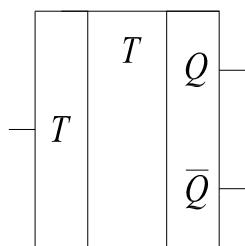


Рис. 31. Умовне позначення T -тригера

Порядок виконання роботи

1. На лабораторному стенді за допомогою елементів комутації (провідників) подати відповідні сигнали на входи тригерів.
2. Поданням сигналів на входи *RS*-тригера проаналізувати принцип його дії.
3. Промодельовати роботу *JK*-тригера поданням сигналів на його входи.
4. Поданням сигналів на входи *D*-тригера проаналізувати принцип його дії.
5. З використанням лабораторного стенду експериментально визначити принцип дії *T*-тригера.
6. Виконати моделювання роботи тригерів з використанням програмного забезпечення Simulink (Electronics Workbench).
7. Виконати аналіз отриманих результатів, оформити звіт з лабораторної роботи.

Контрольні запитання до лабораторної роботи

1. В чому полягає різниця в принципі дії комбінаційних і послідовнісних елементів цифрових систем керування?
2. В чому полягає принцип роботи *RS*-тригера?
3. В чому полягає принцип роботи *JK*-тригера?
4. Поясніть принцип дії *T*-тригера?
5. В чому полягає принцип роботи *D*-тригера?
6. Яка комбінація входів *RS*-тригера є забороненою і чому?
7. В чому полягає різниця в принципі дії *RS*-тригера і *JK*-тригера?
8. Що спільного в роботі цих тригерів?
9. Поясніть, чому частота сигналу на виході *T*-тригера є вдвічі меншою, ніж на його вході?
10. На основі порівняння принципів дії тригерів поясніть, як можна реалізувати *T*-тригер на основі *D*-тригера.

Лабораторна робота №7

ЗАСТОСУВАННЯ ТРИГЕРІВ

Мета роботи: на основі знань устрою і принципу дії основних типів тригерів вивчити важливі області їх практичного використання і застосування в електронних пристроях систем керування.

Обладнання та технічне забезпечення: стенд для вивчення роботи тригерів, блок живлення, осцилограф, персональний комп'ютер, програмне забезпечення Simulink (Electronics Workbench).

Стислі теоретичні відомості

1. Формування електричних сигналів від механічних контактів. Відомо, що дія механічних контактів (кнопки, педалі і т. п.) супроводжується механічною вібрацією контактних пластин, що є причиною багаторазових комутацій електронних кіл (з частотою 10...1000 Гц). Такий ефект часто називають брязкотом контактів. В ряді випадків це явище є небажаним, оскільки пристрої, виконані на тригерах і підімкнені до контактів, можуть реагувати на деякі з таких паразитних імпульсів, і стан цих пристроїв виявиться невизначеним. На рис. 32 наведено зміну рівнів напруги в ідеальному і реальному випадках.

На рис. 33 зображено одну з ефективних схем, за допомогою якої вирішується вказана проблема: контакти керують *RS*-триггером, одна з властивостей якого – реагувати тільки на перший імпульс послідовності, що надходить на входи *R* або *S*. Тригер, що складається з логічних елементів *I–НІ*, діє таким чином: початковий стан тригера – нульовий ($Q = 0$ і $\bar{Q} = 1$). З початком перемикання кнопки *SA* на раніше заземленому вході *A2* з'являється напруга високого рівня. Це не впливає на стан тригера, оскільки на іншому вході *B2* того ж елементу *DD2* діє напруга низького рівня за рахунок зв'язку з виходом $Q = 0$. Але коли рухомий контакт перейде у верхнє положення і на вході *A1* почне діяти напруга низького рівня ($A1 = 0$), тригер перемкнеться і подальші імпульси на цьому вході, обумовлені вібрацією контактів, вже не вплинуть на стан тригера ($Q = 1$ і $\bar{Q} = 0$). Тригер повернеться в початковий стан ($Q = 0$ і $\bar{Q} = 1$) тільки після чергового перемикання кнопки *SA*. Тривалість імпульсу на виходах *RS*-тригера визначається часом перебування рухомого контакту у верхньому положенні.

Розглянута схема застосовується тільки у випадках, коли рухомий контакт

працює на перемикання.

2. Індикація зміни рівня сигналу. Часто зміну значення певної величини (електричної або неелектричної) можна реалізувати як зміну заданого рівня напруги. Якщо мати на увазі основну властивість тригера – змінювати вихідний стан за певних умов під впливом зовнішніх сигналів і зберігати його протягом необмеженого часу, то стає зрозумілим, що використання тригерів для сигналізації про зміну значення контрольованого параметра вимагає відповідного ввімнення елементів індикації до виходу (або до виходів) тригера. Це можна реалізувати багатьма способами. На рис. 34 наведено деякі можливі рішення. Передбачається, що тригери можна заздалегідь встановлювати в певний стан, який береться за початковий (зазвичай $Q = 0$ і $\bar{Q} = 1$). На рис. 34, а наведена схема з підімкненням

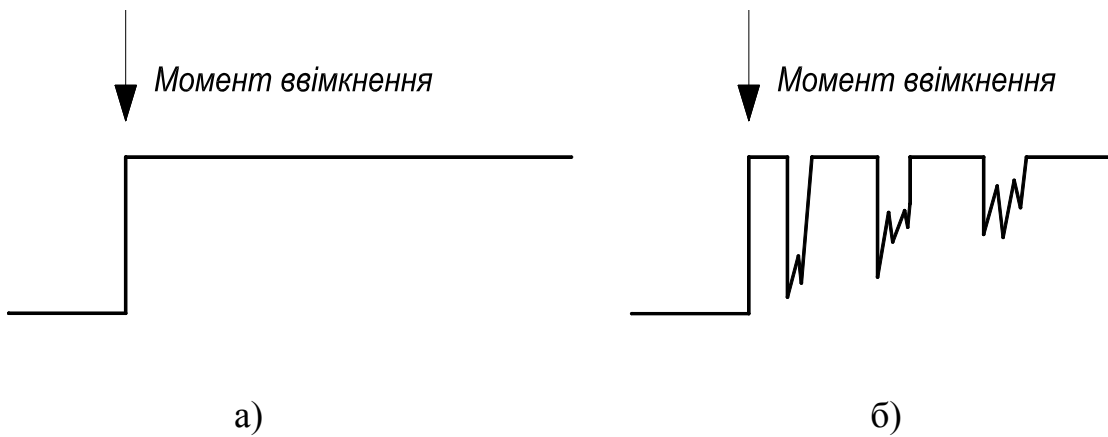


Рис. 32. Перехідні процеси в схемі з механічними контактами при ввімкненні навантаження: а) ідеальний контакт; б) реальний контакт

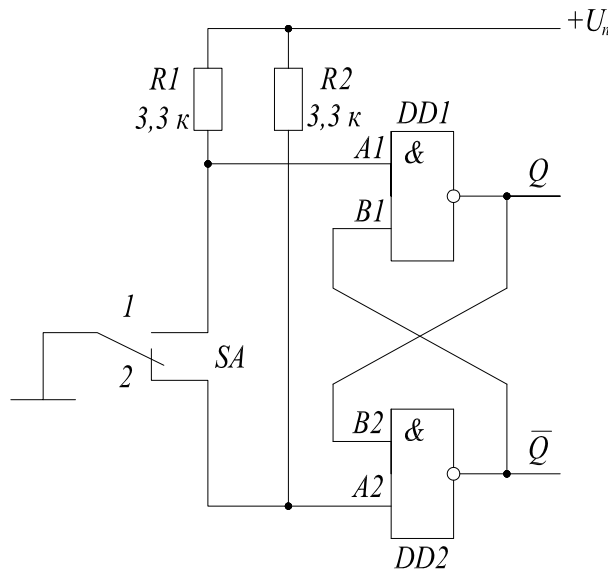


Рис. 33. Формувач імпульсу керування від механічних контактів

світлодіода до виходу D -триггера. В схемі на рис. 34, б показано, як вихідним сигналом триггера можна керувати ключовим транзистором, коли конкретний елемент навантаження (реле, лампа підвищеної потужності та ін.) не можна безпосередньо підмикати до виходу Q (або \bar{Q}). Наведено також варіант (рис. 34, в) з складеним транзисторним ключем – для тих випадків, коли потрібний підвищений вихідний струм, а тобто, й струм бази. Це так звана схема Дарлінгтона. Коефіцієнт посилення за струмом $h_{21\beta}$ транзистора Дарлінгтона є істотно вищим, ніж коефіцієнт підсилення окремих транзисторів, з яких він складається:

$$h_{21\beta} = h_{21\beta 1} h_{21\beta 2}$$

3. Синхронізація з послідовністю імпульсів. Це теж достатньо поширений практичний випадок: випадково розподілені в часі вхідні сигнали A потрібно

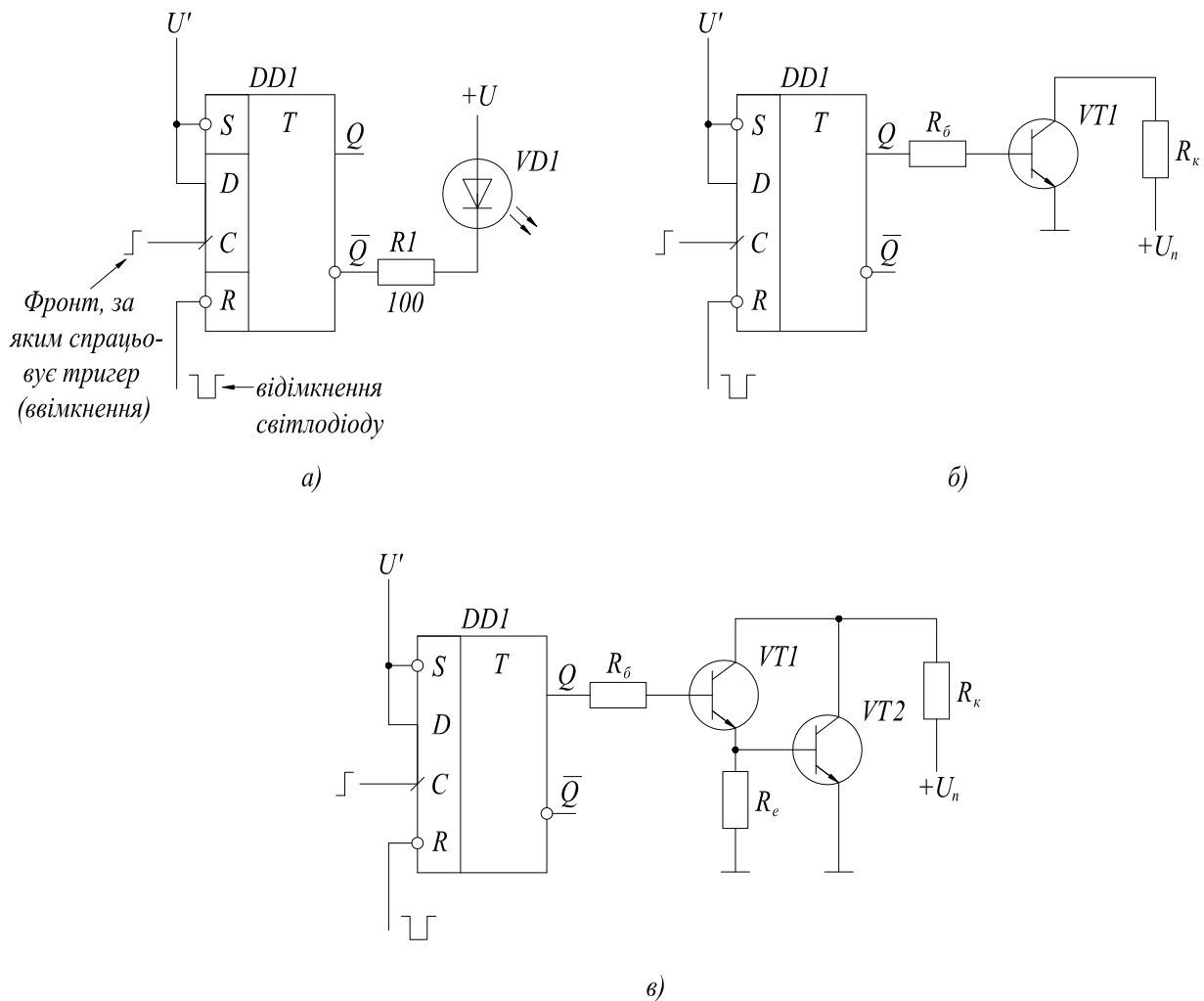


Рис. 34. Схеми індикації рівня сигналу

синхронізувати з послідовністю тактових імпульсів B . При цьому вихідний сигнал має бути синхронним з послідовністю при $A=1$. Це завдання легко вирішується за допомогою D -триггера, як показано на рис. 4. Тривалість імпульсу на виході триггера Q (або \bar{Q}) є кратною періоду послідовності тактових імпульсів T (див. часову діаграму, $\tau_1=T, \tau_2=2T$).

4. Генерація імпульсу тривалістю, що дорівнює періоду тактових імпульсів

Схема пристрою, який вирішує зазначене завдання, наведена на рис. 35. Вона містить два D -триггера типу 4013 (вітчизняний аналог – К561ТМ2). Відмінність між схемами на рис. 35 і рис. 36 полягає в тому, що тривалість τ_n вихідних імпульсів $Q2$ завжди дорівнює T – незалежно від тривалості вхідного сигналу A першого триггера, що надходить на тактовий вхід. На вході D першого триггера завжди діє напруга високого рівня і тому за фронтом зростання сигналу A (вхід $C1$) на його виході буде сигнал високого рівня ($Q1 = 1$). Оскільки $D2 = Q1$, то з поданням чергового тактового імпульсу на вхід $C2$ триггера $DD2$ (на часовій діаграмі – це другий

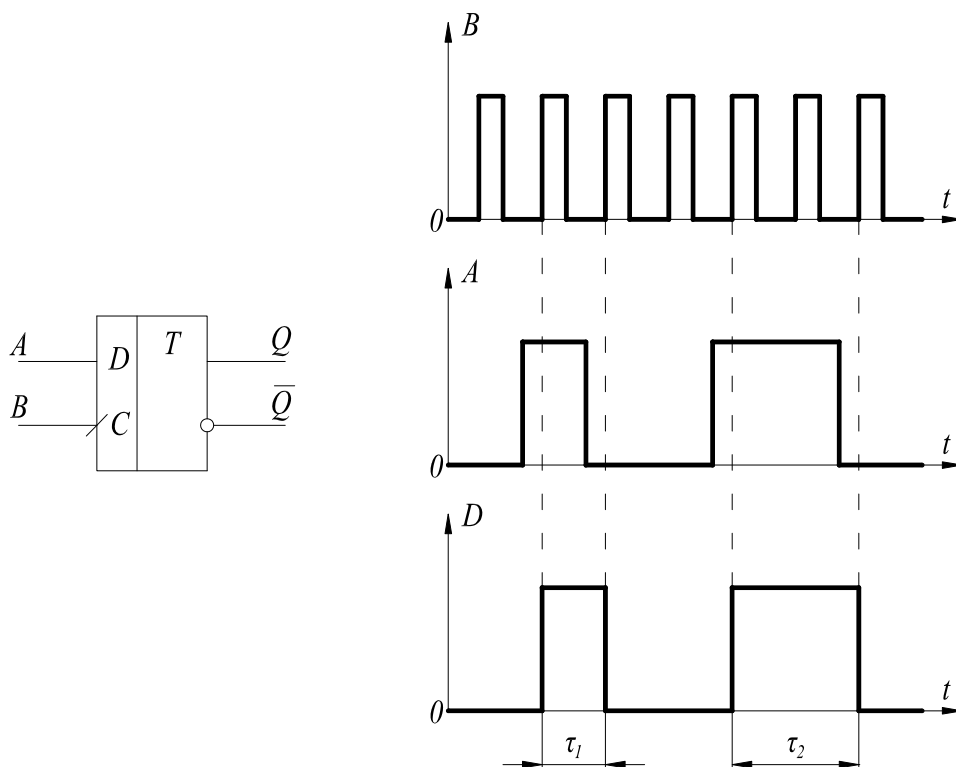


Рис. 35. Синхронізація вхідних сигналів з послідовністю імпульсів

імпульс послідовності $B(t)$ на виході $Q2$ встановиться напруга високого рівня ($Q2 = 1$). Одночасно з цим за рахунок зворотного зв'язку ($Q2 = R1$) перший тригер

повернеться в нульовий стан ($Q1 = 0$), оскільки вхід R для встановлення вихідного стану має пріоритет по відношенню до входів D і C . Наступний тактовий імпульс $B(t)$ (третій на рисунку) поверне другий тригер в початковий стан ($Q2 = 0$), оскільки до моменту його надходження на вході D тригера $DD2$ діє сигнал $D2 = Q1 = 0$.

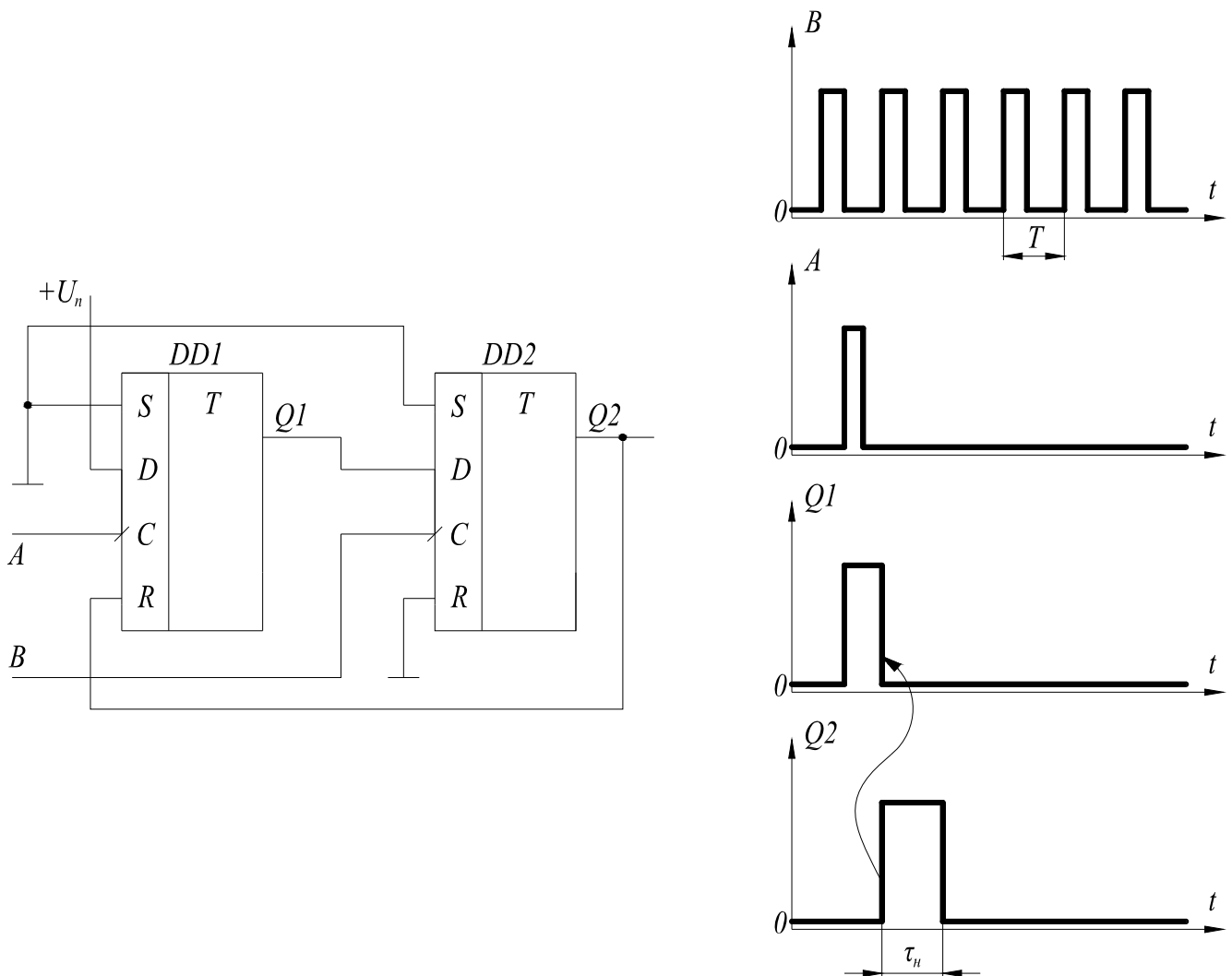


Рис. 36. Формування імпульсу з тривалістю, яка дорівнює періоду тактових імпульсів. Стрілка від одного фронту до іншого вказує на послідовність перемикань

5. Отримання двох взаємно інверсних послідовностей імпульсів. Сам принцип дії T -тригера дає можливість отримати дві взаємно інверсні послідовності імпульсів. Це показано на рис. 37. На ньому T -тригер реалізовано на основі D -тригера. З діаграми видно, що період вихідних імпульсів (Q і \bar{Q}) в два рази довший, ніж період вхідних імпульсів. Одночасно слід зауважити, що вихідні послідовності імпульсів є взаємно інверсними.

6. Отримання двох послідовних імпульсів зі зсувом на чверть періоду. Для цієї мети використовують два D -тригера (рис. 38), тактові входи яких сполучені між собою. ($C1 = C2 = B$). Зсув імпульсів на чверть періоду досягається за рахунок з'єднання входів і виходів обох тригерів таким чином: $D1 = \bar{Q}2$ і $D2 = Q1$. За наведеною діаграмою неважко проаналізувати роботу схеми. Відзначимо, що виходами слугують виходи Q обох тригерів ($Q1$ і $Q2$). Якщо потрібно забезпечити певний період вихідних імпульсів, період вхідних імпульсів повинен задовольняти умові $T_{вх} = 0,25T_{вих}$.

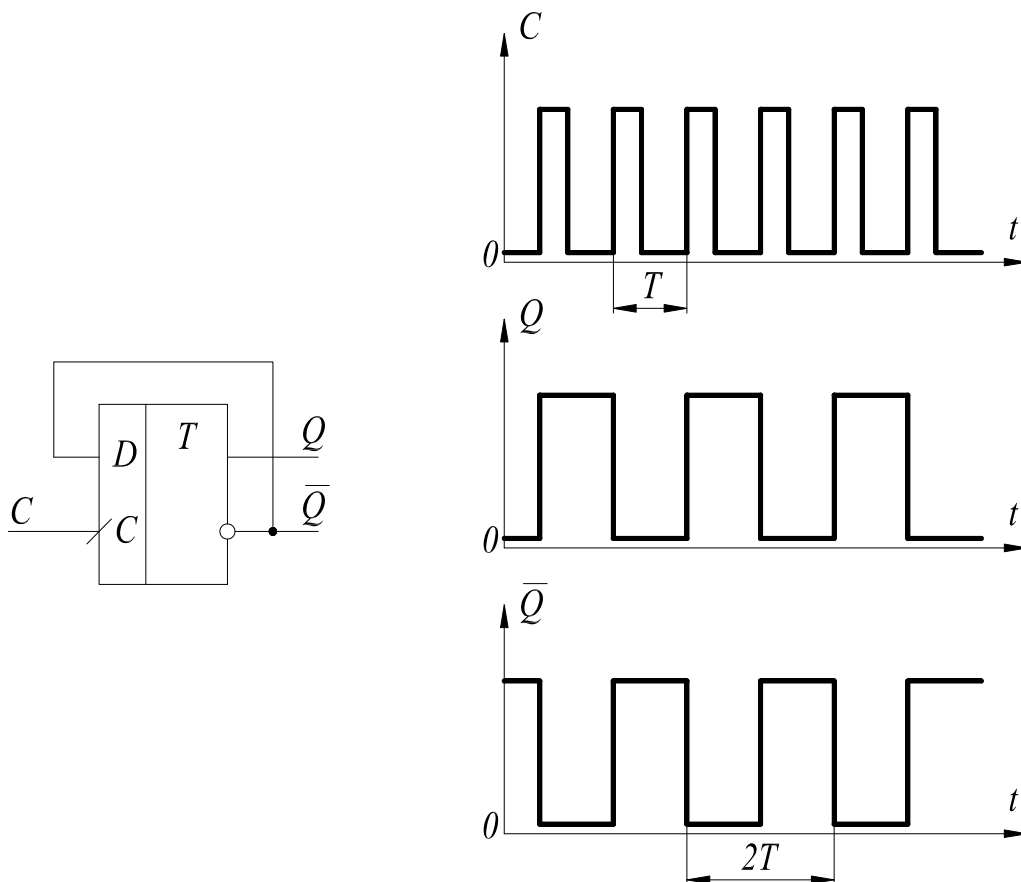


Рис. 37. Отримання взаємноінверсних послідовностей імпульсів

7. Отримання послідовності імпульсів з коефіцієнтом заповнення 0,5. Нагадаємо, що коефіцієнтом заповнення в імпульсній послідовності називають відношення $K = \tau_H/T$ (рис. 39).

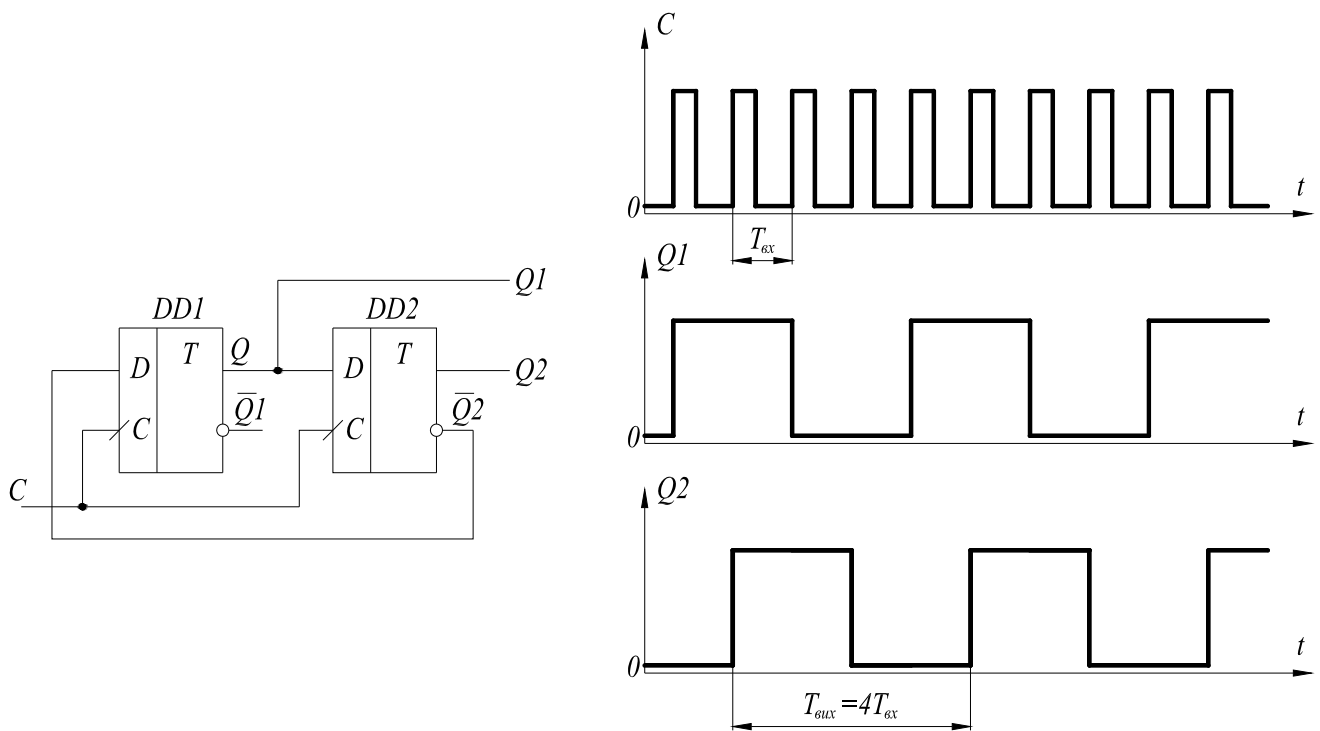


Рис. 38. Отримання двох послідовностей імпульсів зі зміщенням на чверть періода

В генераторах імпульсів коефіцієнт заповнення $K = 0,5$ забезпечується шляхом точного підбору компонентів або за рахунок ускладнення схеми [4]. Порівняно простий розв'язок цього завдання досягається в тому випадку, якщо період коливань мультивібратора дорівнює $T_{\text{вих}}/2$ (рис. 40). Тут використана властивість T -тригера ділити частоту вхідного сигналу навпіл.

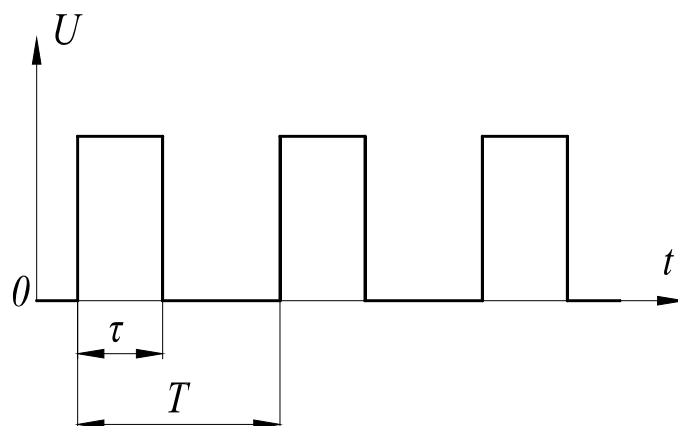


Рис. 39. Параметри імпульсної послідовності

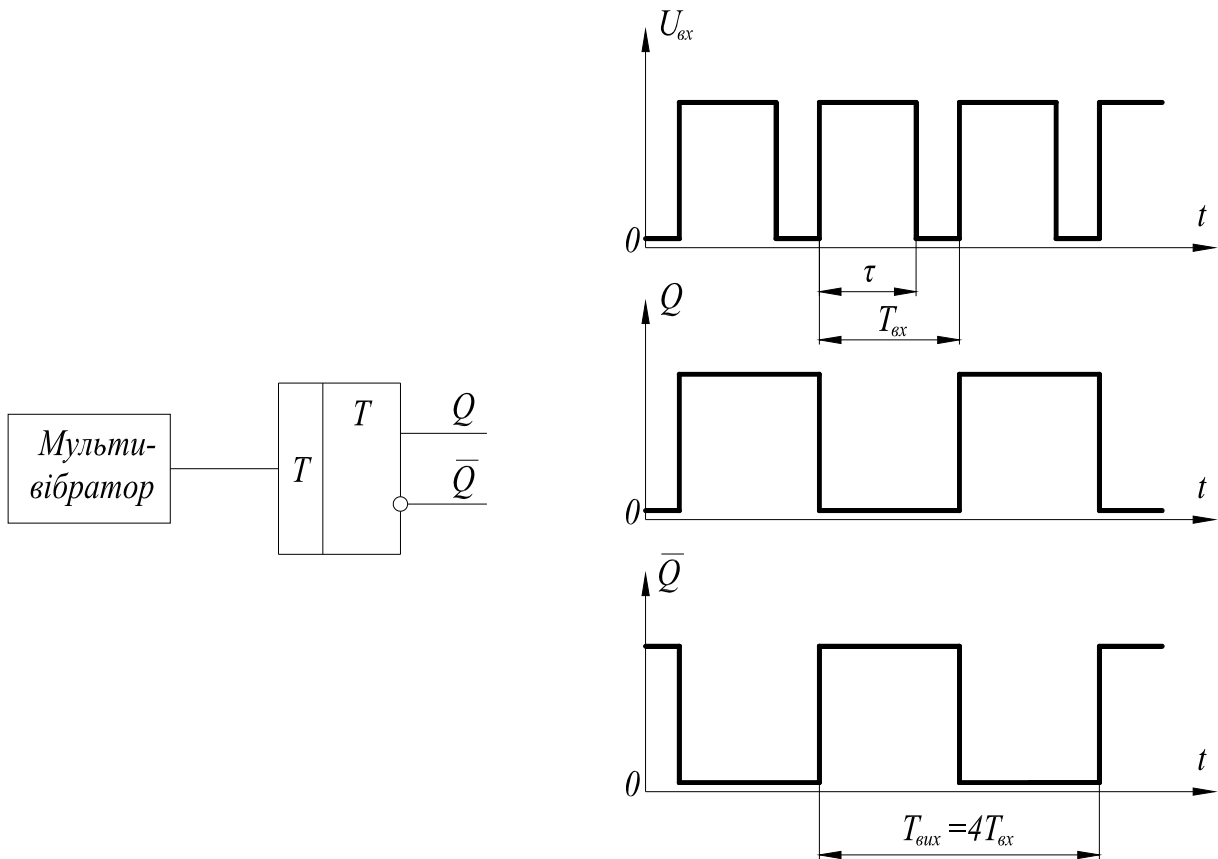


Рис. 40. Отримання послідовності імпульсів з коефіцієнтом заповнення 0,5

8. Тригер в ролі мультивібратора в стані очікування. Використання *D*-триггера в ролі мультивібратора, що чекає і видає імпульси заданої тривалості, незалежні від тривалості вхідних імпульсів, вимагає додаткових компонентів: резистора *RI*, конденсатора *CI* і діода *VDI* (рис. 41). Діє такий мультивібратор таким чином (див. часову діаграму). В початковому стані на виходах тригера маємо $Q = 0$ і $\bar{Q} = 1$. Фронтом імпульсу (переходом від низького рівня до високого), що надходить на вхід *C*, тригер перемикається, після чого настає новий стан: $Q = 1$ і $\bar{Q} = 0$, оскільки $D = 1$. Конденсатор *CI*, до цього моменту розряджений, тепер заряджатиметься через резистор *RI*, і коли напруга на ньому досягне порогового значення ($U_c = U_{пор}$), станеться нове перемикання за рахунок напруги на вході *R*, внаслідок чого тригер повернеться в початковий стан: $Q = 0$ і $\bar{Q} = 1$. Тривалість імпульсу на виходах *Q* і \bar{Q} дорівнює

$$\tau_H \approx RICl.$$

Для того, щоб від наступного вхідного імпульсу мультивібратор, що чекає, запустився і видав новий імпульс тривалістю τ_n необхідно, щоб конденсатор $C1$ був повністю заряджений. Якщо конденсатор не розрядиться до кінця, тривалість наступного вихідного імпульсу буде меншою, ніж тривалість попереднього. Саме діод $VD1$ забезпечує швидкий розряд конденсатора $C1$ (тобто, малий час відновлення t_b).

Такий мультивібратор працює нормально, якщо $T > \tau_n + t_b$. Інша умова обмеження полягає в тому, що пускові імпульси (послідовність імпульсів на вході C) повинні мати низький логічний рівень (інверсна логіка) і малу тривалість, як наведено на діаграмі.

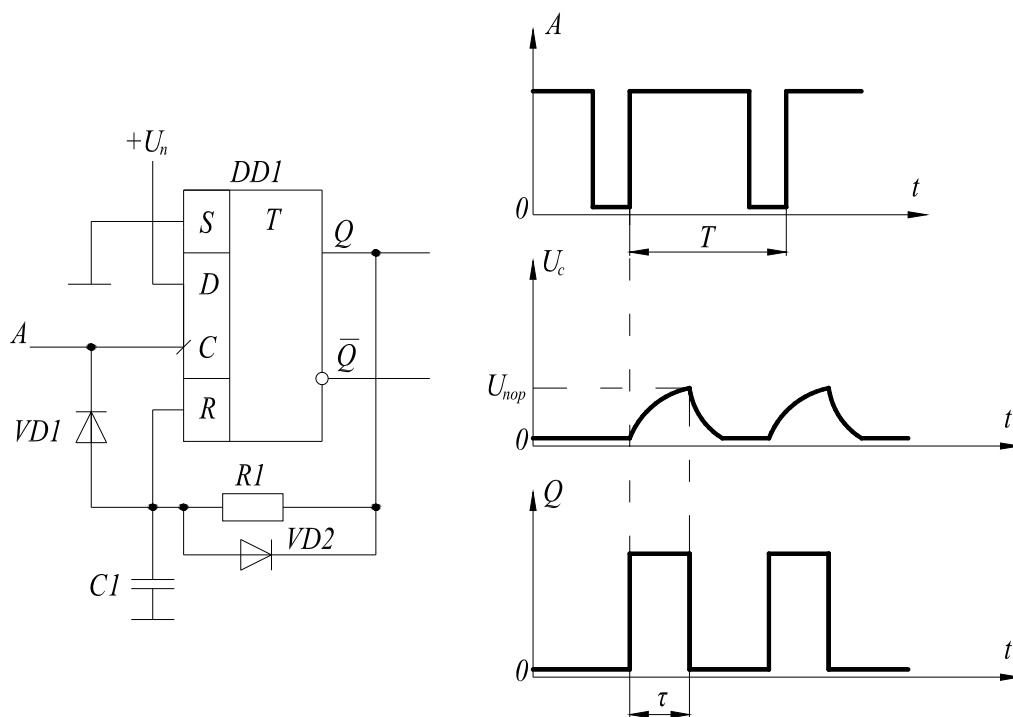


Рис. 41. Тригер в ролі мультивібратора, що чекає $DD1$ – один з двох тригерів мікросхеми типу 4013, K561TM2K

9. Формування імпульсу від сенсорних контактів. Сенсорними контактами прийнято називати дві електропровідні пластини, дотик до яких пальцем створює умови для проходження струму за рахунок електропровідності шкіри. Формування імпульсу від сенсорних контактів є можливим тільки за умови використання інтегральних мікросхем КМОП-структури, оскільки лише вони мають виключно високий вхідний опір – $10^9 \dots 10^{14}$ Ом [2, 19]. Опір шкіри пальця набагато нижчий

(5...10 кОм), тому в результаті дотику пальцем до пластин 1 і 2 (рис. 42) на вході S тригера з'явиться напруга високого рівня. За рахунок цього тригер встановлюється в стан $Q = 1$, $\bar{Q} = 0$. З цієї миті, проте, припиняється заряд конденсатора $C1$ через резистор $R1$ (подібно до процесу в схемі з мультивібратором, що чекає, на рис. 41), і коли напруга на конденсаторі U_c досягне порогового значення ($U_c = U_{пор}$), тригер повернеться в початковий стан, оскільки напруга керування подається на вхід R . Коли контакти 1 і 2 ізольовані один від одного, на вході S присутня напруга низького рівня, оскільки резистор $R4$ сполучений зі спільним корпусом схеми, потенціал якого прийнято нулевим.

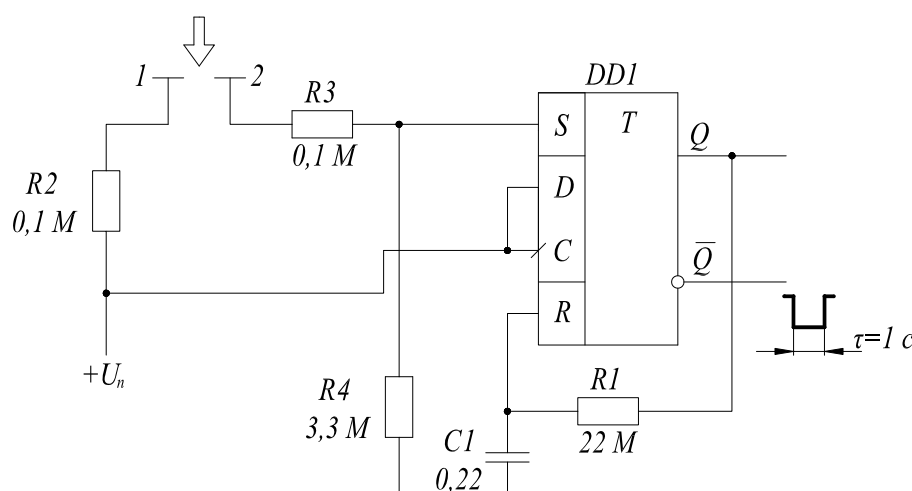


Рис. 42. Тригер в ролі формувача імпульсів від сенсорних контактів

Тривалість вихідного імпульсу визначається простою формулою, в основі якої використана постійна часу розряду конденсатора $\tau_n \approx 0,8R1C1$.

Порядок виконання роботи

1. На експериментальному стенді з використанням комутаційних провідників скласти схему формування електричних сигналів від механічних контактів (рис. 33) та проаналізувати її роботу з використанням підімкненого до її виходу лічильника імпульсів.

2. Виконати комп'ютерне моделювання схеми індикації зміни рівня сигналу згідно рис. 34. Пояснити її роботу.

3. Виконати комп'ютерне моделювання схеми генерації імпульсів з тривалістю, що дорівнює періоду тактових імпульсів згідно рис. 35. Пояснити її роботу. Скласти

схему на лабораторному стенді. Зареєструвати результати її тестування і порівняти їх з даними комп'ютерного моделювання.

4. Виконати комп'ютерне моделювання схеми для отримання двох взаємно інверсних послідовностей імпульсів згідно рис. 37. Пояснити її роботу. Скласти схему на лабораторному стенді. Зареєструвати результати її тестування і порівняти їх з даними комп'ютерного моделювання.

5. Виконати комп'ютерне моделювання схеми отримання двох послідовних імпульсів зі зсувом на чверть періоду згідно рис. 38. Пояснити її роботу.

6. Виконати комп'ютерне моделювання схеми отримання послідовності імпульсів з коефіцієнтом заповнення 0,5 згідно рис. 40. Пояснити її роботу.

7. Проаналізувати отримані результати, оформити звіт з лабораторної роботи.

Контрольні запитання до лабораторної роботи

1. Яке явище називають терміном «брязкіт контактів»? Чому брязкіт контактів є небажаним ефектом в електронних пристроях систем керування?

2. Поясніть принцип дії схеми придушення брязкоту контактів.

3. Поясніть практичну важливість схем індикації рівнів логічних сигналів в цифрових системах керування.

4. Яку роль відіграє тригер в схемі індикації рівнів логічних сигналів?

5. Поясніть принцип дії схеми отримання двох послідовних імпульсів зі зсувом на чверть періоду.

6. Поясніть принцип дії схеми отримання послідовності імпульсів з коефіцієнтом заповнення 0,5.

7. Імпульс з якими параметрами повинна генерувати тригерна схема мультівібратора в стані очікування?

8. В чому полягає принцип дії схеми сенсорних контактів? Які вимоги за опором пристрою мають бути задовільнені для її реалізації?

Лабораторна робота № 8

ФУНКЦІОНАЛЬНІ ЕЛЕМЕНТИ ЦИФРОВИХ СИСТЕМ КЕРУВАННЯ

Мета роботи

1. Вивчення устрою, принципу дії основних функціональних елементів цифрових систем керування (лічильників, регістрів).

2. Ознайомлення з особливостями роботи типових лічильників інтегрального виконання.

Устаткування: мультиметр, блок живлення, стенди для дослідження роботи лічильників і восьмирозрядних регістрів.

Стислі теоретичні відомості

Лічильники. Лічильником називають цифровий пристрій (цифровий автомат), сигнали на виході якого в певному коді, відображують кількість імпульсів, що потрапили на рахунковий вхід. Крім того, в лічильниках виконуються такі мікрооперації, як установка в початковий стан, зберігання і видача слів. У міру надходження вхідних сигналів лічильник послідовно змінює свої стани, утворені комбінаціями станів тригерів з рахунковим входом. Число дозволених станів лічильника називають *модулем рахунку*, *коефіцієнтом перерахунку* або *ємністю* M (у загальному випадку $M \leq 2^n$, де n – кількість тригерів або двійкових розрядів лічильника). Лічильники класифікують за значенням модуля, напряму рахунку і способу організації міжрозрядних зв'язків.

За значенням модуля рахунку розрізняють: двійкові ($M = 2^n$), двійково-кодовані з довільним модулем, з одинарним кодуванням та ін.

За напрямом рахунку: що підсумовують (прямого рахунку – Up-counter), віднімають (зворотного рахунку – Down-counter) і реверсивні (Up-Down-counter).

За способом організації міжрозрядних зв'язків розрізняють лічильники з послідовним, паралельним і комбінованим перенесеннями.

Крім того, всі перераховані типи лічильників прийнято ділити на два види: *синхронні* і *асинхронні*. При цьому в асинхронних лічильниках зміна його стану,

викликана дією чергового імпульсу, характеризується послідовною в часі зміною станів тригерів (як правило, це лічильники з послідовним перенесенням). У синхронних лічильниках зміна станів характеризується одночасною в часі зміною станів його тригерів.

Визначимо деякі закономірності двійкових лічильників. Відповідність між кількістю вхідних імпульсів і станами 3-розрядного двійкового лічильника (прямий і зворотний рахунок) наведено в табл. 14. Аналіз табл. 14 для прямого рахунку лічильника дозволяє визначити дві закономірності:

1. Значення змінної Q_i змінюється тоді, коли змінна в сусідньому молодшому розряді Q_{i-1} переходить зі стану «1» в стан «0».
2. Значення вихідної змінної Q_i змінюється під час надходження чергового рахункового імпульсу у тому випадку, коли змінні у всіх молодших розрядах Q_{i-1}, \dots, Q_1 знаходяться в стані «1».

Таблиця 14

Стани трьохрозрядного двійкового лічильника

Кількість вхідних імпульсів	Прямий рахунок			Зворотній рахунок		
	Q_3	Q_2	Q_1	Q_3	Q_2	Q_1
0	0	0	0	1	1	1
1	0	0	1	1	1	0
2	0	1	0	1	0	1
3	0	1	1	1	0	0
4	1	0	0	0	1	1
5	1	0	1	0	1	0
6	1	1	0	0	0	1
7	1	1	1	0	0	0

Перша закономірність свідчить про можливість реалізації лічильника асинхронного типу, друга – дозволяє побудувати синхронний лічильник. Для лічильника, що функціонує в стані зворотної лічби, аналогічні закономірності можна сформулювати так:

1. Значення вихідної змінної Q_i змінюється, коли змінна в сусідньому молодшому розряді Q_{i-1} переходить зі стану «0» в стан «1».

2. Значення вихідної змінної Q_i змінюється під час надходження наступного імпульсу лічби в тому випадку, коли всі змінні в попередніх молодших розрядах Q_{i-1}, \dots, Q_1 знаходяться в стані «0».

Асинхронні послідовні лічильники

Асинхронні лічильники будуються у вигляді ланцюжка тригерів з рахунковим входом (JK -тригер з $J = K = 1$ або D -тригер з інверсним зворотним зв'язком) $D = \bar{Q}^i$, коли тактовий вхід кожного наступного тригера підмикається до виходу Q або \bar{Q} попереднього, що залежить як від напрямку лічби, так і від типу входу тактування тригера.

Схему лічильника, що підсумовує, на JK -тригерах і діаграму його роботи наведено на рис. 43.

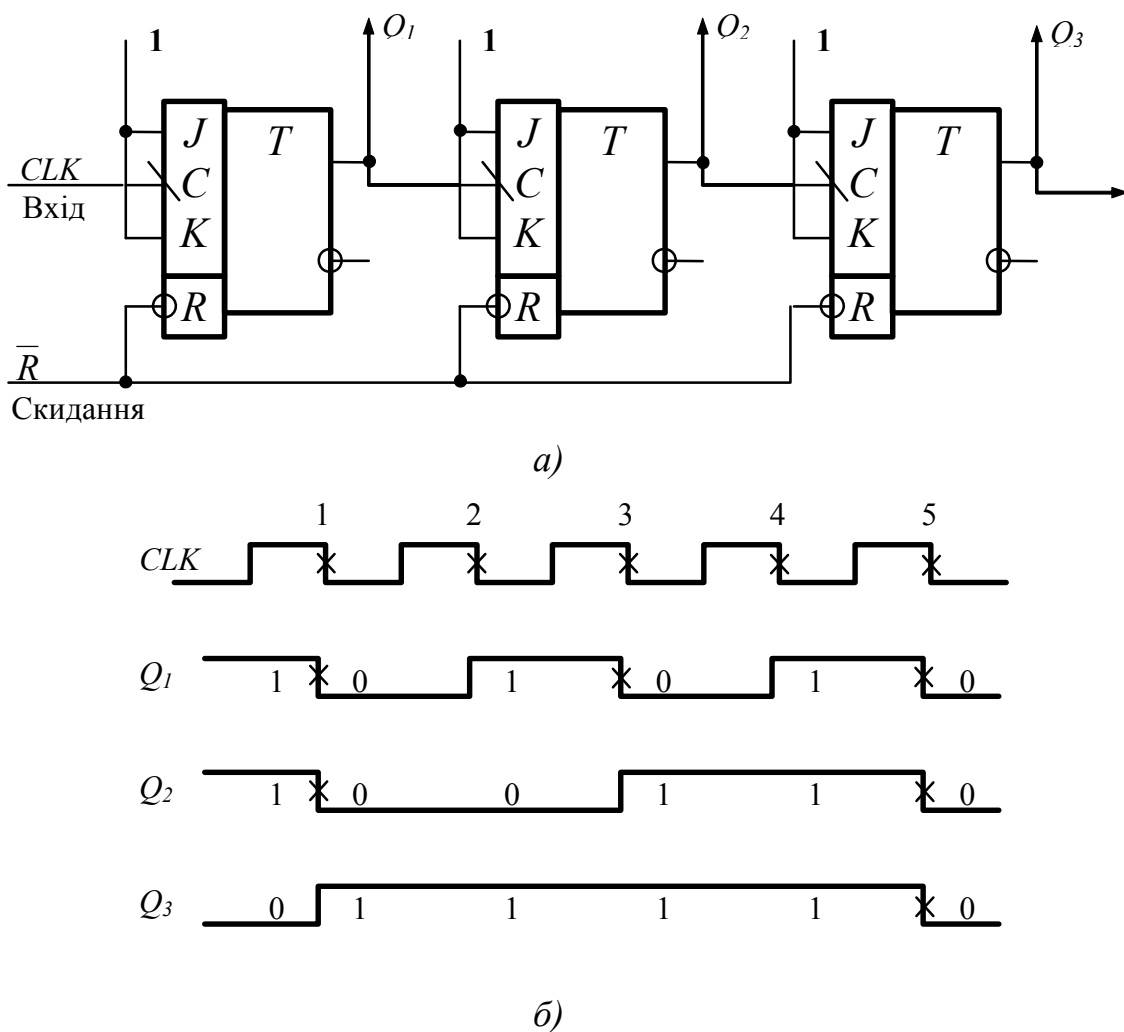
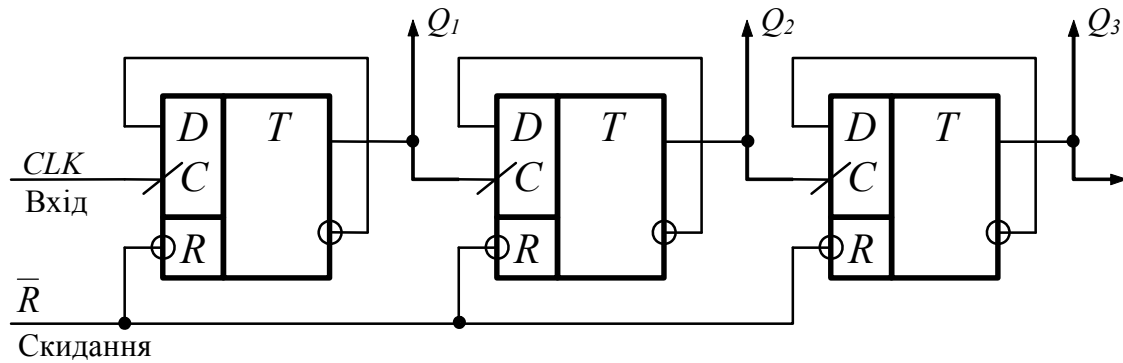
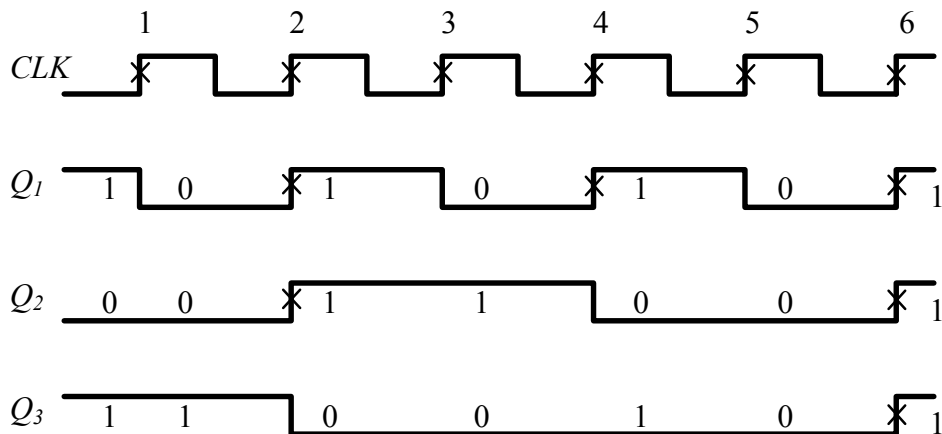


Рис. 43. Асинхронний лічильник, що підсумовує, на JK -тригерах (а) і часова діаграма його роботи (б).

Якщо тактові входи JK -тригерів з'єднати з інверсними виходами попередніх тригерів, то вийде схема віднімаючого лічильника. Аналогічно, якщо в схемі віднімаючого лічильника на D -тригерах (рис. 44) тактові входи тригерів з'єднати з інверсними виходами попередніх тригерів, то лічильник стане таким, що підсумовує.



а)



б)

Рис. 44. Асинхронний віднімаючий лічильник на D -тригерах (а) і часова діаграма його роботи (б).

Отримані лічильники називають *послідовними*, оскільки в них кожен наступний тригер перемикається вихідним сигналом попереднього. Ці лічильники відрізняються простотою схеми, але низькою швидкістю в режимі реєстрації вхідних сигналів, оскільки в цьому режимі не можна подавати черговий вхідний сигнал, поки не зафіксований попередній стан лічильника.

Час встановлення коду дорівнює значенню $t_{уст} = nt_{зд.тр}$, де $t_{зд.тр}$ - час затримки перемикання тригера. Очевидно, що максимальна частота входних сигналів в режимі реєстрації складає $f_{макс.рег} = 1/t_{уст}$. Врешті, в режимі ділення входних імпульсів максимальна частота їх надходження обмежуватиметься швидкодією молодшого тригера і складатиме $f_{макс.дел} = 1/t_{зд.тр}$.

Другий недолік полягає в тому, що через накопичення часових зсувів в розрядах в процесі встановлення коду, в лічильнику виникають на короткі проміжки часу помилкові стани. Тому, якщо до вихідних розрядів такого лічильника підімкнути дешифратор, то на його виходах можуть з'явитися помилкові сигнали, відповідні проміжним фазам переходу лічильника з одного стану в інший.

Від названих недоліків вільні синхронні лічильники.

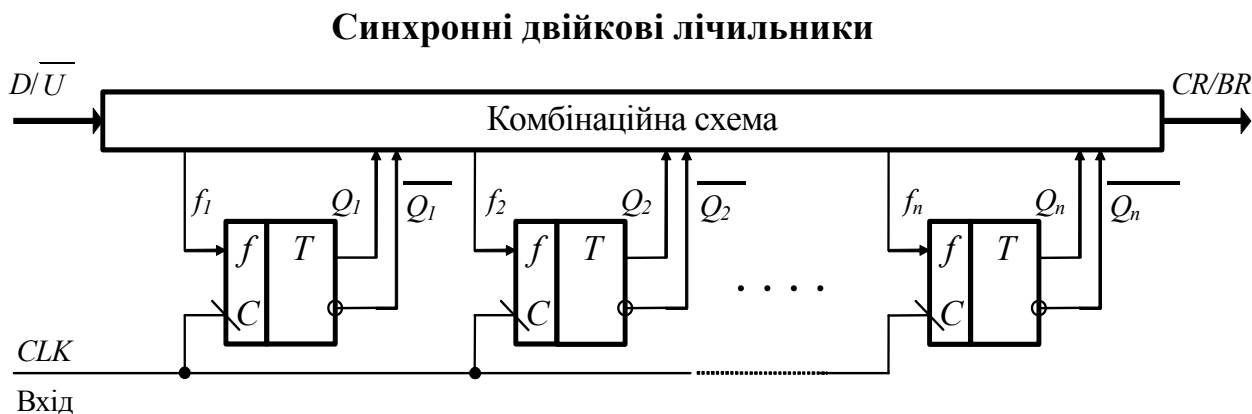


Рис. 45. Структурна схема синхронного лічильника

Синхронний лічильник можна зобразити узагальненою структурною схемою (рис. 45), що вміщує тригери з рахунковим входом T і комбінаційну схему, що формує функції збудження f_i для цих рахункових входів. В JK -тригерах рахунковий вхід реалізується шляхом з'єднання входів J і K . Вхід D/\bar{U} керує режимом роботи схеми ($D/\bar{U} = 0$ – прямий рахунок, $D/\bar{U} = 1$ – зворотний рахунок), а вихідний сигнал переносу/зайому CR/BR (*Carry/Borrow*) може використовуватися для нарощування розрядності лічильника.

Як слідує з аналізу табл. 14 (правило 2), перемикання тригера молодшого розряду здійснюється за надходженням кожного рахункового сигналу CLK , а останніх тригерів – тільки в тому випадку, коли всі тригери молодших розрядів встановлені в «1» (прямий рахунок) або в «0» (зворотний рахунок).

На рис. 46. наведено схему чотирьохрозрядного синхронного двійкового лічильника зі змінним напрямом лічби, побудованого відповідно до виразів (1) і (2) з тією різницею, що в схему введено додатковий вхід керування CE (*Count Enable* – дозвіл лічби). Часові діаграми роботи лічильника (рис. 47) пояснюють особливості формування перенесення в режимі прямого рахунку і зайому – в зворотному з урахуванням *запізнювання* в їх формуванні щодо рахункового (тактового) сигналу CLK .

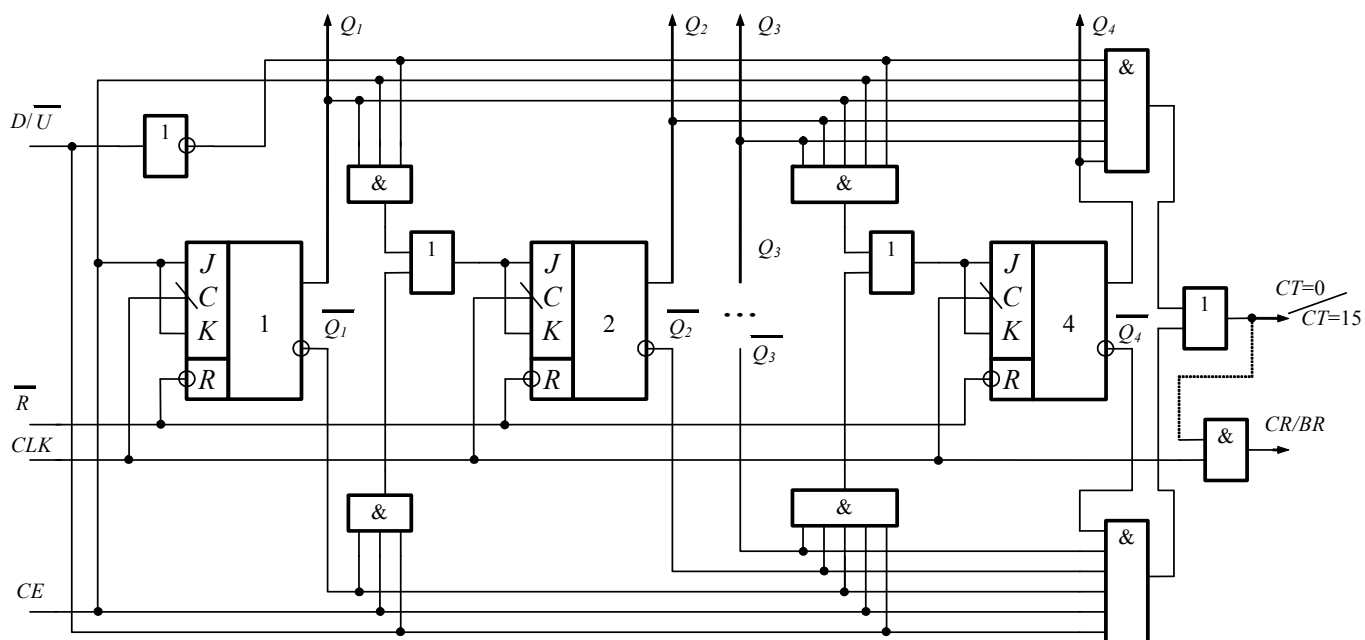


Рис. 46. Двійковий лічильник із змінним напрямом рахунку ($D/\bar{U} = 0$ - прямий, $D/\bar{U} = 1$ - зворотний)

Отже, в загальному випадку, функція збудження тригера f_i для синхронного двійкового лічильника може бути виражена:

$$f_i = Q_1 Q_2 \cdots Q_{i-1} (\overline{D/\bar{U}}) \vee \overline{Q_1} \overline{Q_2} \cdots \overline{Q_{i-1}} (D/\bar{U}), \quad (i = \overline{2, n}). \quad (1)$$

Для молодшого розряду: $f_1 = 1$.

Сигнал перенесення може формуватися в двох випадках, а саме, коли в лічильнику зберігається максимальне значення коду ($Q_n \cdots Q_2 Q_1 = 1 \dots 11$) при $D/\bar{U} = 0$ і мінімальне значення ($Q_n \cdots Q_2 Q_1 = 0 \dots 00$) при $D/\bar{U} = 1$:

$$CT = 0 / CT = Max = Q_1 Q_2 \dots Q_{i-1} (\overline{D/\overline{U}}) \vee \overline{Q_1} \overline{Q_2} \dots \overline{Q_{i-1}} (D/\overline{U}). \quad (2)$$

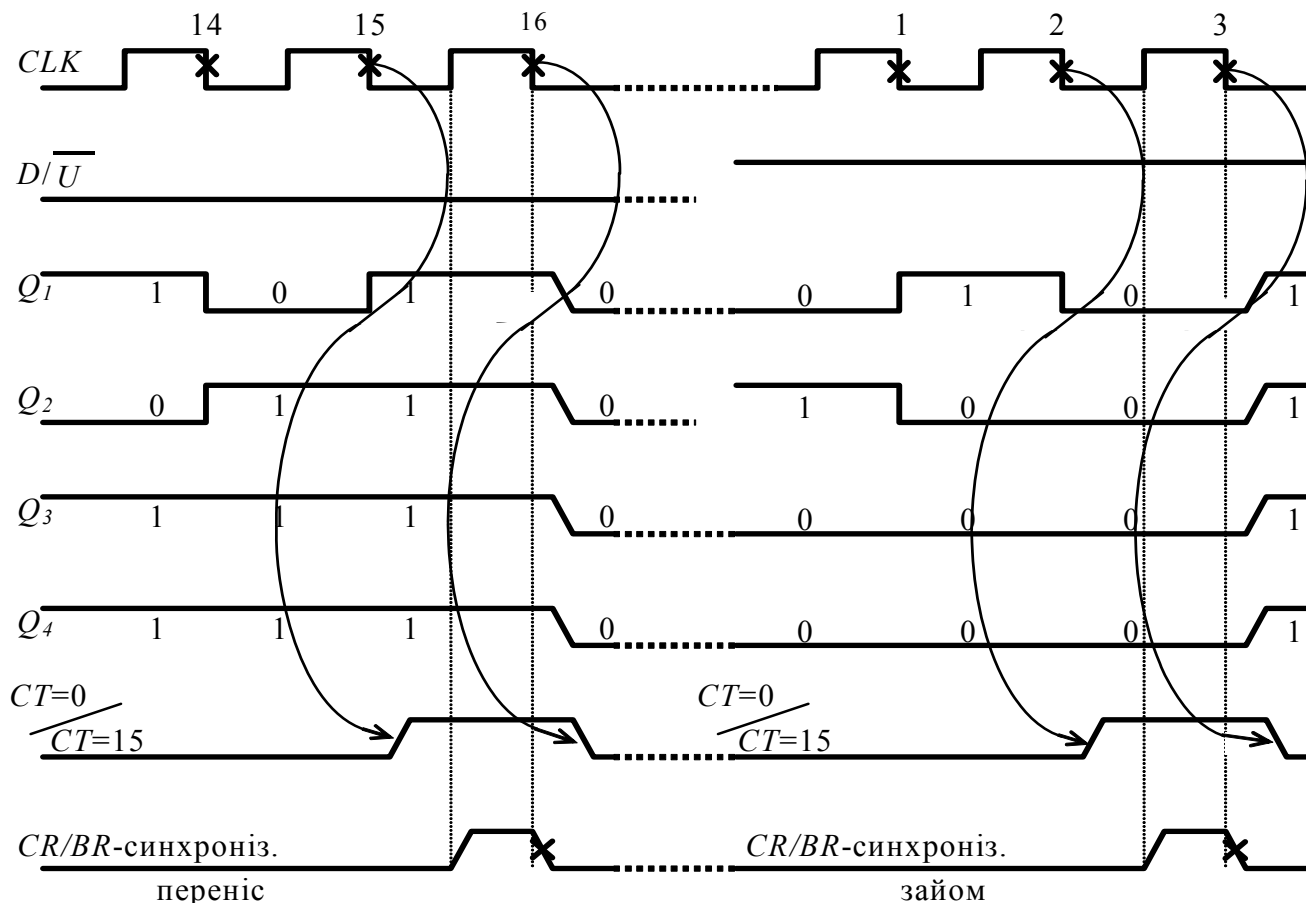


Рис. 47. Часова діаграма формування переносу і зайому в чотирьохрозрядному синхронному лічильнику ($CE=1$)

Каскадувати рахункові групи можна двома способами: з використанням послідовного або паралельного переносу. При паралельному переносі (рис. 48) дві рахункові групи якби об'єднуються в єдину синхронну схему вісьмирозрядного лічильника. Наявність входу дозволу рахунку CE , що керує, при такому способі об'єднання є просто обов'язковою. Інколи, коли висока швидкість не потрібна, рахункові групи можна з'єднати *послідовно* (рис. 49), при цьому сигнал переносу (зайому) слугує тактовим сигналом наступної старшої групи. В цьому випадку (див. діаграми рис. 47) замість виходу

$CT = 0 / CT = 15$ доцільно використовувати той же сигнал, тільки синхронізований тактовим сигналом (CR/BR). Схему ж лічильника при цьому можна спростити, прибравши вхід дозволу рахунку CE .

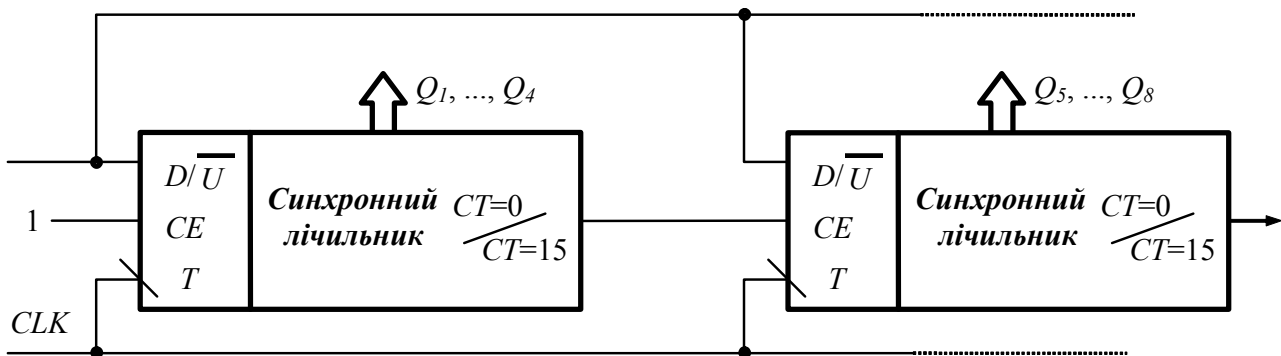


Рис. 48. Каскадування синхронних лічильників з паралельним перенесенням

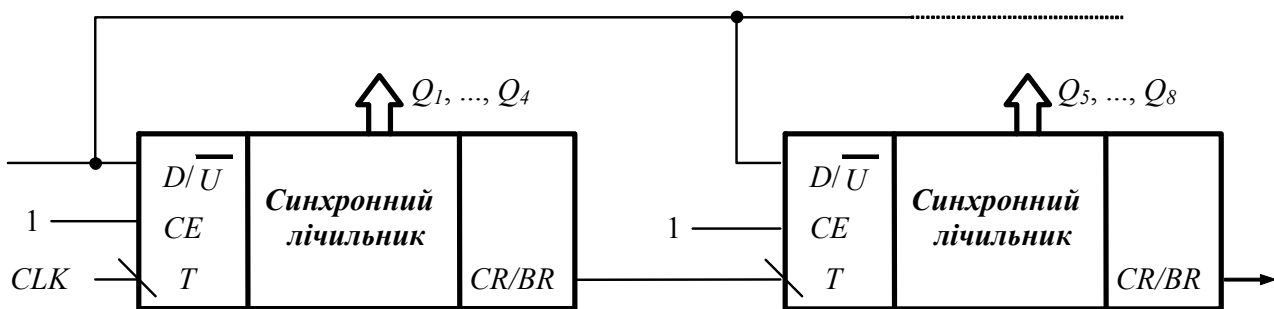


Рис. 49. Каскадування синхронних лічильників за допомогою послідовного перенесення

Дослідження лічильників інтегрального виконання

Для дослідження запропоновано наступні мікросхеми лічильників:

- КМ555ІЕ13 (SN74191) – синхронний реверсивний чотирьохрозрядний лічильник;
- КМ555ІЕ9 (SN74160) – синхронний десятковий лічильник.

Умовні зображення лічильників дані на рис. 50, а призначення виводів наведено відповідно в табл. 15 і табл. 16.

Інтегральна схема (ІС) КМ555ІЕ13 (SN74191). Режим роботи синхронного реверсивного чотирьохрозрядного двійкового лічильника з

можливістю асинхронної установки в довільний стан від 0 до 15 містяться в табл. 16.

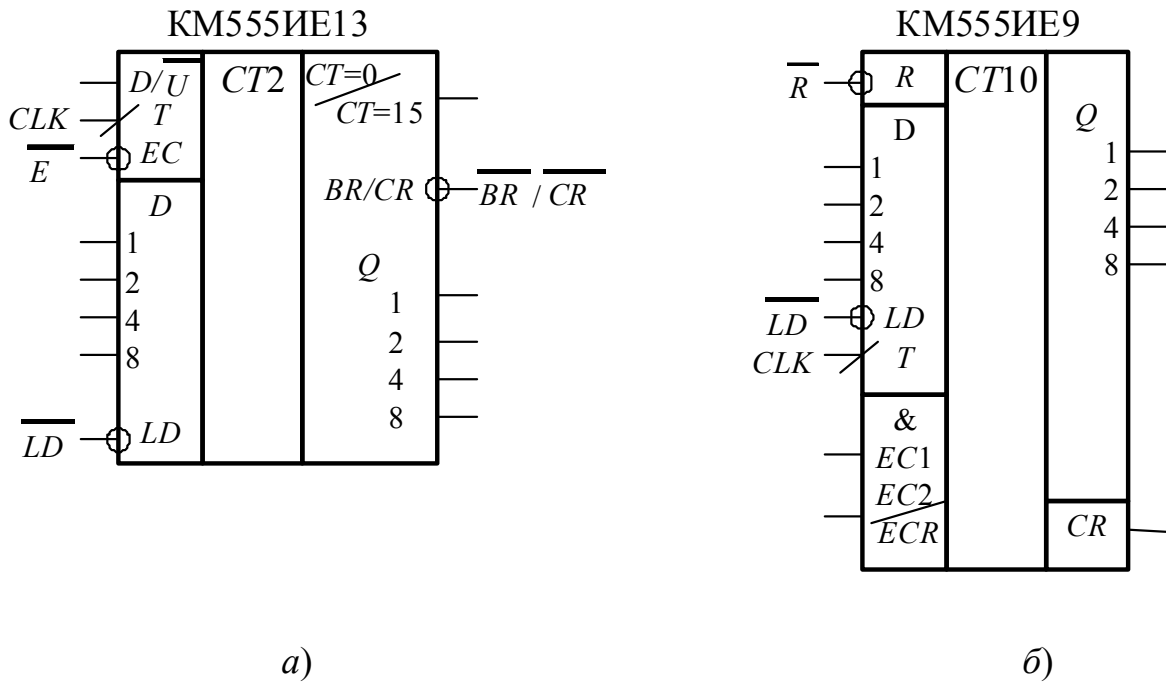


Рис. 50. Функціональні позначення двійкового (а) і десяткового (б) лічильників

Таблиця 15

Призначення виводів інтегральної схеми лічильника KM555IE13

Позначення виводів	Призначення виводів
D/\bar{U}	Вхід керування режимом рахунку: - прямиий, - зворотний
T	Рахунковий вхід (прямий динамічний)
EC	Дозвіл рахунку (низький рівень)
LD	Дозвіл асинхронного завантаження даних (низький рівень)
$D_1...D_8$	Порозрядні входи для паралельного завантаження даних
$Q_1...Q_8$	Порозрядні виходи даних
$CT=0/C$ $T=15$	Вихід (високий рівень), що ініціалізував мінімальне значення лічильника при $D/\bar{U} = 1$ і максимальне при $D/\bar{U} = 0$
BR/CR	Вихід перенесення/позики (низький рівень), що синхронізується сигналом за входом T

Таблиця істинності режимів роботи КМ555ИЕ13

Стани входів					Вихід	Режим
\overline{LD}	D/\overline{U}	\overline{EC}	T	D_i	Q_i	
0	X	X	X	0	0	Паралельне асинхронне завантаження
0	X	X	X	1	1	
1	0	0	\downarrow \uparrow	X		Прямий рахунок
1	1	0	\downarrow \uparrow	X		Зворотний рахунок
1	X	1	\downarrow \uparrow	X	Q_i'	Зберігання

Лічба відбувається за позитивним фронтом сигналу на вході T . В кожному з режимів рахунку, залежно від значення сигналу на вході D/\overline{U} , інтегральна схема виробляє два вихідних сигнали ($CT=0/CT=15$ і $\overline{BR}/\overline{CR}$), які використовуються для каскадування мікросхем з метою побудови багаторозрядних лічильників. Дослідження схеми містить:

1) експериментальну побудову діаграм для сигналів на виводах $CT=0/CT=15$ і BR/CR (за фазами сигналу CLK) залежно від стану лічильника, режиму роботи і рівня сигналу CLK на вході T ;

2) розробку схем сполучення інтегральної схеми КМ555ИЕ13 з використанням послідовного і паралельного перенесень.

Інтегральна схема КМ555ИЕ9 (SN74160) Режими роботи інтегральної схеми синхронного десятикового лічильника з можливістю синхронної установки в довільний стан від 0 до 9, асинхронним очищенням і з дешифруванням рахункового входу наведено в табл. 17.

Призначення виводів мікросхеми КМ555ИЕ9

Позначення виводів	Призначення виводів
$D_1 \dots D_8$	Порозрядні входи для попереднього синхронного завантаження даних
LD	Асинхронний вхід дозволу (низький рівень) попереднього завантаження даних
T	Рахунковий вхід (прямий динамічний), що виконує також синхронне завантаження даних, якщо $\overline{LD} = 0$
EC_1 і EC_2/ECR	Входи дозволу рахунку і дозволу рахунку/переносу, об'єднані операцією I
R	Вхід установки нуля (низький рівень)
$Q_1 \dots Q_8$	Порозрядні виходи даних
CR	Вихід переносу або ініціалізації значення $(CT)=1001$

Дослідження схеми містить:

- 1) побудову часових діаграм для виходів $Q_4 \dots Q_1$ і сигналу перенесення CR в функції рахункового сигналу CLK на вході T ;
- 2) Розробку схем сполучення інтегральної схеми КМ555ИЕ9 з використанням послідовного і паралельного перенесень.

Регістри. Регістрами називають цифрові пристрої, призначені для збереження, перетворення і передачі інформації. Найчастіше регістри використовують як буферну пам'ять для передачі інформації з одного блоку цифрової системи керування в інший. За своєю будовою регістр є лінійкою з декількох тригерів, в якій немає внутрішніх заборонних зворотних зв'язків. В регістрах простої будови тригери сполучені між собою послідовно. Всі тактові входи сполучені паралельно. За такої будови логічна одиниця, на виході першого тригера, отримана як результат подання напруги низького і високого рівнів на його входи R і S , після надходження наступного тактового імпульсу перейде в другий тригер, далі вона потрапить в третій тригер і так аж до кінця регістра. Аналогічно просувається регістром багаторозрядне слово.

Якщо до входу кожного тригера додати обчислювальну логіку, можна отримати додаткові, так звані паралельні входи одночасного завантаження байта в регістр. В таку схему додається вхід дозволу запису. Регістри, як і реверсивні лічильники, можуть бути двонаправленими: завантажене слово можна зрушувати за лінійкою тригерів як праворуч, так і ліворуч. Для ввімкнення режимів зсуву слугує спеціальний вхід для подання команди (рис. 52).

Таблиця 18

Таблиця істинності режимів роботи KM555IE9

Стани входів						Виходи		Режими
\overline{R}	T	$EC1$	$EC2/ECR$	\overline{LD}	D_i	Q_i	CR	
0	X	X	X	X	X	0	0	Установка нуля
1	$\left. \begin{array}{l} \downarrow \\ \uparrow \end{array} \right\}$	X	X	0	1/0	1/0	*	Синхронне завантаження лічильника
1	$\left. \begin{array}{l} \downarrow \\ \uparrow \end{array} \right\}$	1	1	1	X		*	Рахунок
1	X	0	X	1	X	Q_i'	*	Зберігання
1	X	X	0	1	X	Q_i'	0	

(*) значення сигналу залежить від стану лічильника.

Однотипні регістри можуть розрізнятися функціями окремих входів: синхронним або асинхронним очищенням, інверсними або прямими входами, наявністю виводів нарощування. Регістри (рис. 51), в яких для запису вхідного паралельного коду D_i використовується сигнал дозволу запису L , а тактовий сигнал C не використовується, називаються пристроями з асинхронним паралельним записом коду.

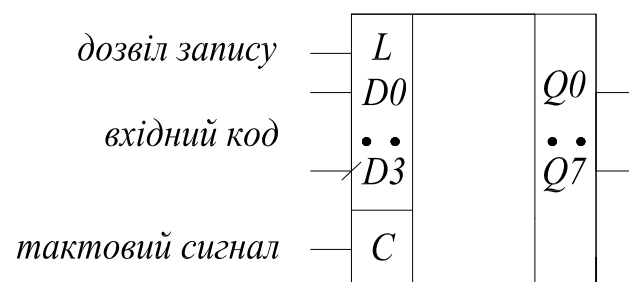
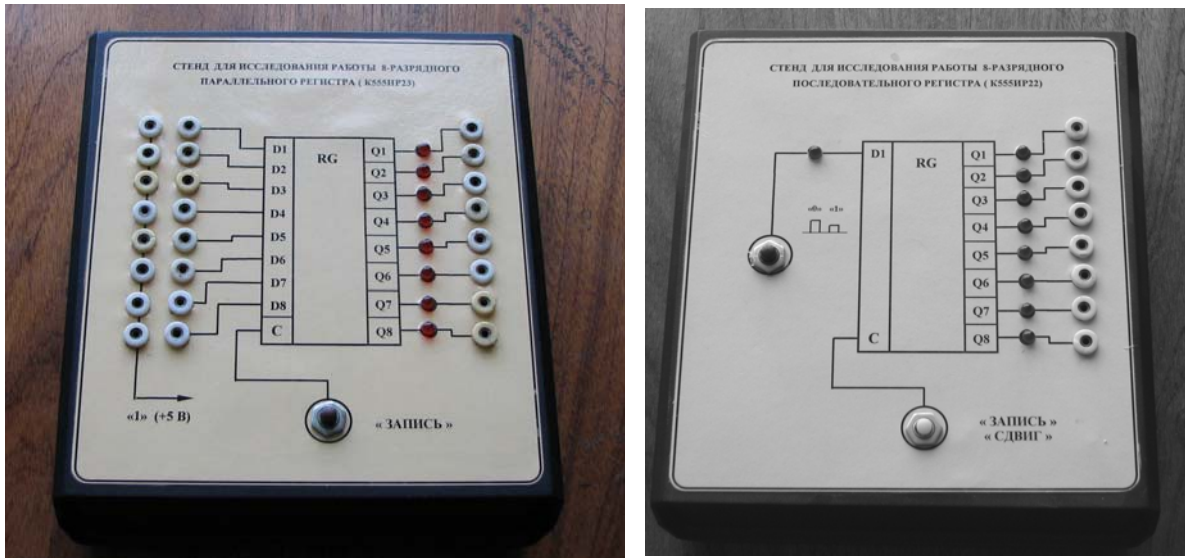


Рис.51. Спрощене позначення регістра

Пристрої (в тому числі регістри), в яких для запису вхідного паралельного коду D_i необхідний, по-перше, – сигнал дозволу запису L і, по-друге, – перепад синхросигнала на тактовому вході C , називаються пристроями з синхронним паралельним записом коду (рис. 52,а).



а)

б)

Рис. 52. Лабораторні стенди для вивчення паралельного (а) і послідовного (б) регістрів

Регістри з паралельним записом називаються регістрами пам'яті. В них можуть використовуватися як прозорі тригери-«клямки», так і тригери з динамічним керуванням. На рис. 53 наведено схему вісьмирозрядного регістра пам'яті зі спільним входом керування записом інформації та її умовне позначення. Високий рівень на вході C ініціює перепис інформації з входу на вихід ($Q_i = D_i$), а низький рівень – замикає дані.

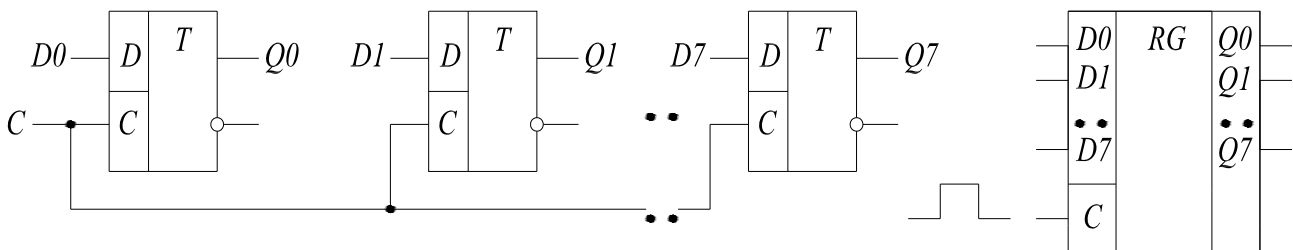


Рис. 53. Регістр пам'яті із спільним входом керування

Послідовні регістри або, як їх ще називають, регістри зсуву (рис. 54) виконуються на основі тригерів з динамічним синхровходом (для регістрів з одним сигналом тактування). В двотактних схемах можна використовувати й прозорі регістри-"клямки". Функція запису в n -розрядному регістрі зсуву на D -тригерах задається у вигляді умов: $D_0 = DS = x$, $D_i = Q_{(i-1)}$, де $i = 1, 2, \dots, n - 1$. DS – вхід для послідовного запису.

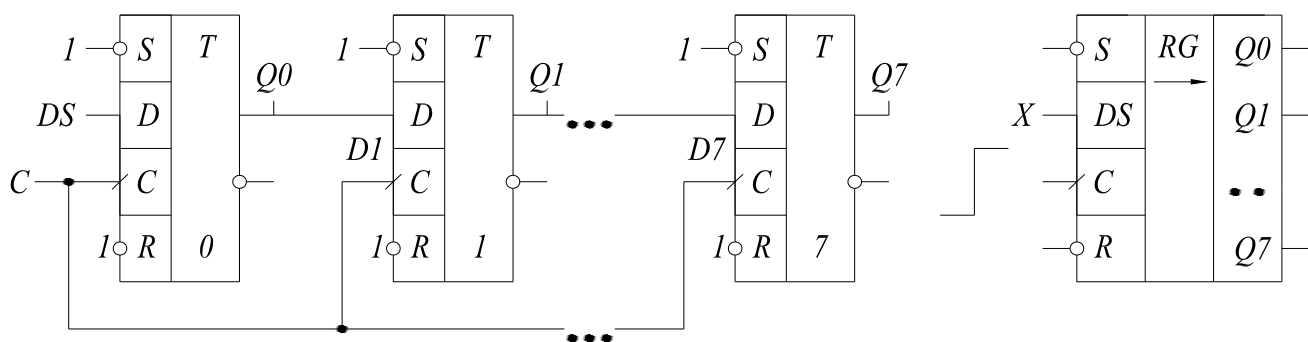


Рис. 54. Регістр послідовної дії з одним входом тактування

З надходженням чергового позитивного фронту синхроімпульса C , сигнал зі входу i -го тригера через час $t_{зд.р.}$ опиниться на його виході і надійде на вхід наступного $(i+1)$ -го тригера. Проте на його вихід ця інформація не переписеться, оскільки тривалість активного фронту $t_{0,1}$ є меншою, ніж $t_{зд.р.}$. На цьому процес зсуву даних на один розряд закінчиться до приходу наступного позитивного фронту тактового сигналу. Звідси зрозуміло, чому не можна використовувати тригери із статичним керуванням. Кожного разу в разі $C = 1$ весь ланцюжок тригерів виявиться прозорим від входу DS до виходу Q_7 і значення $DS = x$ буде записане у всі тригери.

В позначеннях регістрів зсуву напрям стрілки, що вказує на напрям зсуву, є умовним. Умовно приймається, що зсув відбувається від молодшого розряду до старшого. Практичні схеми регістрів доповнюються схемами, що підмикаються до кожного тригера і мають вхід паралельного запису D_i , спільний вхід дозволу запису L і спільний асинхронний вхід очищення \bar{R} всіх тригерів. Ці схеми підмикаються до вільних входів \bar{R}_i , \bar{S}_i тригерів. Даному опису відповідає наступна таблиця істинності.

Таблиця істинності регістра зсуву

L	D_i	\bar{R}	S_i	R_i
X	X	0	1	0
1	D_i	1	\bar{R}_i	D_i
0	X	1	1	1

В табл. 17 D_i і X можуть набувати довільних значень, але D_i в межах одного рядка в даний момент залишається незмінним. Мінімізацією логічних функцій \bar{R}_i і \bar{S}_i за допомогою таблиць Карно можна отримати: $\bar{S}_i = \overline{(L \cdot D_i \cdot \bar{R})}$ і $\bar{R}_i = \bar{R} \cdot (\bar{L} + D_i)$. Цій парі рівнянь відповідає схема, наведена на рис. 55, де зображено також умовне позначення регістра зсуву, виконаного за такою схемою.

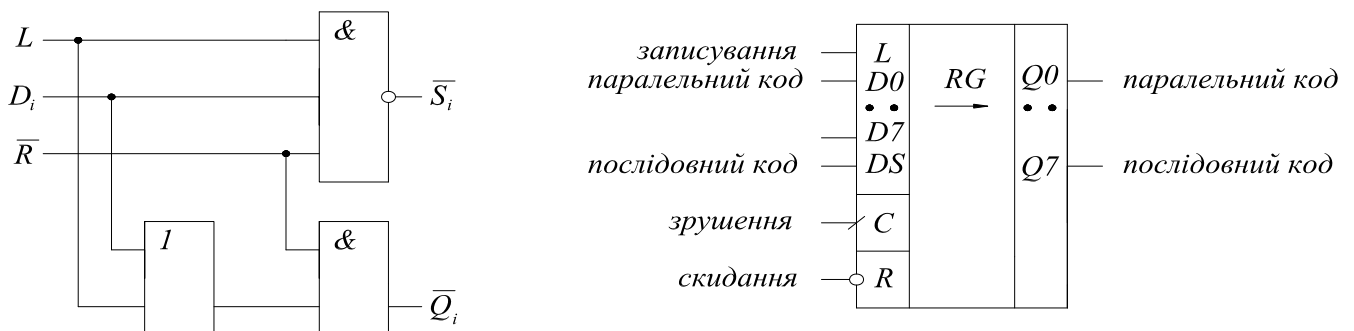


Рис. 55. Мінімізовані логічні функції для регістру зсуву

Вхід \bar{R} має найвищий пріоритет. Якщо $\bar{R} = 0$, то $\bar{R}_i = 0$, $\bar{S}_i = 1$ і всі тригери обнуляються, незалежно від сигналів L , D_i і C . Менший пріоритет мають входи L і D_i . Якщо $\bar{R} = 1$, то в разі $L = 1$, виконується паралельний запис інформації і тоді $Q_i = D_i$ незалежно від сигналу C . І, нарешті, якщо на входах \bar{R} і L присутні пасивні рівні, то $\bar{R}_i = \bar{S}_i = 1$, теж пасивний рівень і регістр зберігає інформацію, або виконує її зсув.

Одне із застосувань регістрів зрушення з паралельним завантаженням коду полягає в перетворенні паралельного формату даних в послідовний, передачі цих даних після однопровідної лінії зв'язку (друга лінія має бути, як мінімум

"землю" або екраном) і зворотного перетворення послідовної інформації в паралельну (рис. 56).

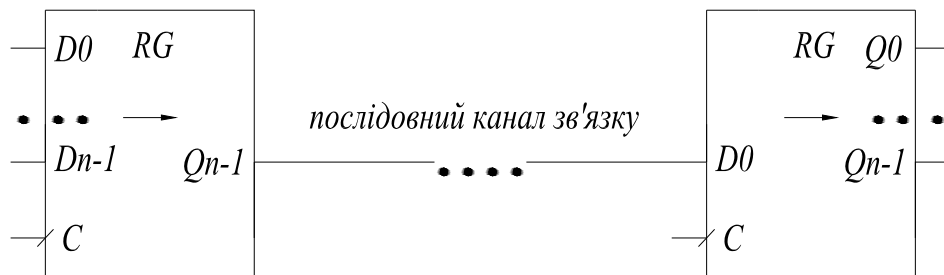


Рис. 56. Перетворення послідовної інформації в паралельну

Така схема застосовується в комунікаційних портах EOM (COM-порти), в мікросхемі K580IK51, а також в модемах.

Реверсивний регістр зсуву. Назва регістра свідчить про те, що зсув даних від розряду до розряду може бути як в одному, так і в протилежному напрямі. Одна з можливих схем трьохрозрядного реверсивного регістра з двома послідовними інформаційними входами для зсуву інформації ліворуч *DSL* і праворуч *DSR*, з паралельними входами запису (*D0..D2*), синхровходом *C*, входом \bar{R} установки в нуль всіх тригерів і двома входами вибору режиму *M1*, *M0*, наведена на рис. 57.

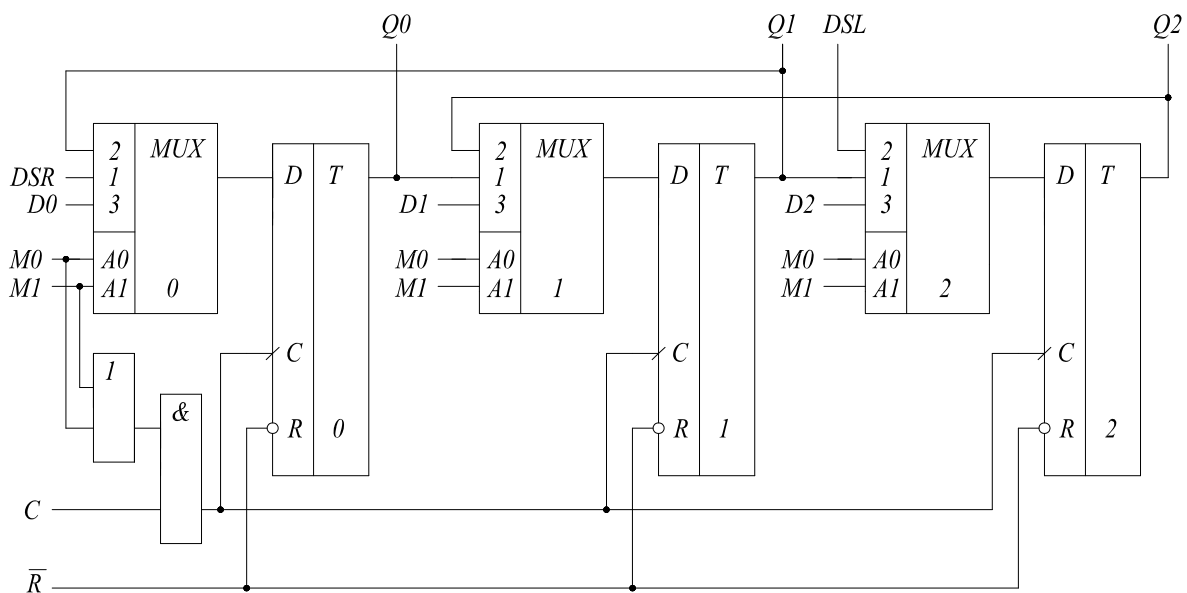


Рис. 57. Реверсивний регістр зсуву

До D -входу будь-якого розряду, за винятком крайніх, підімкнені через входи I і 2 мультиплектори, виходи сусідніх тригерів ліворуч й праворуч. Якщо $M1 = 0$, а $M0 = 1$, то до входів D підімкнені перші входи мультиплексорів і інформація в кожен тригер, крім нульового, записується від сусіда ліворуч (відбувається зсув даних праворуч). Вхід DSR слугує в цьому режимі для послідовного введення інформації. Якщо $M1 = 1$, $M0 = 0$, то до входів D підімкнені другі входи мультиплексорів, і інформація в кожен тригер, крім останнього записується від сусіда праворуч (відбувається зсув ліворуч). Для послідовного введення даних в цьому режимі використовується вхід DSL . Для випадку $M1 = M0 = 1$ відбувається паралельний запис $Q_i = D_i$ позитивним фронтом тактового сигналу. Для зберігання інформації необхідно подати комбінацію $M1 = M0 = 0$. В цьому випадку до D -входів тригерів підмикаються нульові входи мультиплексорів (на схемі не показано). Щоб не сталося несанкціонованого запису, схема АБО-І забороняє в цьому режимі проходження синхроімпульсів. За такою схемою виконаний 8-розрядний регістр 1533ИР13. Реверсивний регістр може використовуватися для швидкого (всього за n тактів) ділення і множення двійкових чисел на 2^n , де n – кількість зсувів даних. Наприклад, замість числа 5, після зсуву на 2 розряди ліворуч, стало число 20 (рис. 58).



Рис. 58. Приклад зсуву даних ліворуч

Порядок виконання роботи

1. Скласти схему лічильника з довільним модулем відповідно до заданого варіанту і виконати тестування її роботи. Побудувати часові діаграми функціонування для вихідних сигналів.

2. Виконати дослідження схеми лічильника ІС КМ555ИЕ13

3. Виконати дослідження схеми десяткового лічильника ІС КМ555ИЕ9

4. Підімкнути стенд до блоку живлення. На початку роботи на всіх входах є присутнім логічний сигнал низького рівня.

5. Переконайтеся, що після натиску кнопки «Запис» –високий сигнал подається на вхід синхронізації і на всіх виходах встановлюється логічна «1».

6. Перевірити роботу пристрою. За допомогою комутаційних елементів змінити рівень сигналу – з одиниці на нуль; при натисненні кнопки «Запис» сигнали на входах повинні змінитися відповідно. При поданні «0» на інший вхід і ввімкненні кнопки «Запис» – на попередньому вході повинна встановитися одиниця, а на поточному – нуль. Слід зауважити, що генератором для подання сигналів на вісьмимирозрядний паралельний регістр можуть слугувати також електронно-обчислювальна машина або мікроконтролер.

За результатами тестувань заповнити таблицю станів регістра

Таблиця 19

Таблиця станів

№ розряду	Стан входів	Стан виходів до подання сигналу керування	Стан виходів після подання сигналу керування
1			
2			
3			
4			
5			
6			
7			
8			

7. Оформити звіт з лабораторної роботи

Контрольні запитання до лабораторної роботи

1. Поясніть застосування лічильників в цифрових системах керування.
2. За якими ознаками класифікують лічильники?
3. В чому полягає принципова різниця у функціонуванні лічильників послідовної і паралельної дії?
4. Яку роль відіграє тригер в схемі індикації рівнів логічних сигналів?
5. Поясніть застосування регістрів в цифрових системах керування.
6. За якими ознаками класифікують регістри?
7. На основі яких цифрових елементів складаються регістри?
8. Скільки тригерів повинен містити 16-розрядний регістр?

Література

1. Гершунський Б. С. Основи електроніки і мікроелектроніки: Підручник / Б. С. Гершунський.- К.: Вища шк., 1989. – 423с.
2. Соломатин Р. П. Логические элементы ЭВМ/ Р. П. Соломатин. – М.: Высшая школа, 1990. – 183 с.
3. Опадчий Ю. Ф. Аналоговая и цифровая электроника / Ю. Ф. Опадчий, О. П. Глудкин, А. И. Гуров. – М.: Горячая линия – Телеком, 2003. – 768 с.
4. Колонтаєвський Ю. П. Промислова електроніка та мікросхемотехніка. Теорія і практикум / Ю.П. Колонтаєвський, А.Г. Сосков. – Київ “Каравелла”, 2003. – 362 с.
5. Прянишников В. А. Электроника. Полный курс лекций / В. А. Прянишников. – СПб: Корона принт, 2004. – 415 с.
6. Хоровиц П. Искусство схемотехники: Пер. с англ. в 3-х томах / П. Хоровиц, У. Хилл – М.: Мир, 1993.
7. Дубовенко К. В. Комп’ютерна електроніка. Методичні вказівки до самостійної роботи / К. В. Дубовенко. – Миколаїв: Тетра, 2006. – 34 с.
8. Бриндли К. Карманный справочник инженера электронной техники / К. Бриндли, Д. Карр. – М.: Додэка ХХІ, 2002. – 480 с.
9. Дэвис Д. Карманный справочник радиоинженера / Д. Дэвис, Д. Карр- М.: Додэка ХХІ, 2002. – 543с.
10. Цифровые и аналоговые интегральные микросхемы: Справочник / Под ред. С. В. Якубовского. – М.: Радио и связь, 2007. – 392 с.
11. Перельман Е. Л. Отечественные микросхемы и зарубежные аналоги / Е. Л. Перельман, В. Г. Шевелев – М.: НТЦ Микротех, 2011. – 375 с.
12. Карлащук В. И. Электронная лаборатория IBM PC. Программа Electronics Workbench и ее применение / В. И. Карлащук. – М.: СОЛОН-Р, 2009. – 736 с.

Навчальне видання

ЕЛЕКТРОННІ ПРИСТРОЇ В СИСТЕМАХ КЕРУВАННЯ

Методичні рекомендації

Укладачі: **Дубовенко** Костянтин Вікторович;
Дубовенко Надія Сергіївна

Формат 60 x 84 1/16 Ум. друк. арк. 4,94
Тираж 25 прим. Зам. № _____

Надруковано у видавничому відділі
Миколаївського національного аграрного університету
54029, м. Миколаїв, вул. Паризької Комуни, 9

Свідоцтво суб'єкта видавничої справи ДК № 4490 від 20.02 2013 р.